

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年4月22日 (22.04.2004)

PCT

(10) 国際公開番号
WO 2004/034697 A1

(51) 国際特許分類:

H04N 5/335

(72) 発明者; および

(21) 国際出願番号:

PCT/JP2003/013096

(75) 発明者/出願人 (米国についてのみ): 清水 誠
(SHIMIZU,Makoto) [JP/JP]; 〒615-8585 京都府 京都市 右京区西院溝崎町 21 番地 ローム株式会社内
Kyoto (JP).

(22) 国際出願日: 2003年10月10日 (10.10.2003)

(25) 国際出願の言語:

日本語

(74) 代理人: 吉田 稔, 外 (YOSHIDA,Minoru et al.); 〒
543-0014 大阪府 大阪市 天王寺区玉造元町 2 番
32-1301 Osaka (JP).

(26) 国際公開の言語:

日本語

(81) 指定国 (国内): CN, KR, US.

(30) 優先権データ:

特願 2002-298667

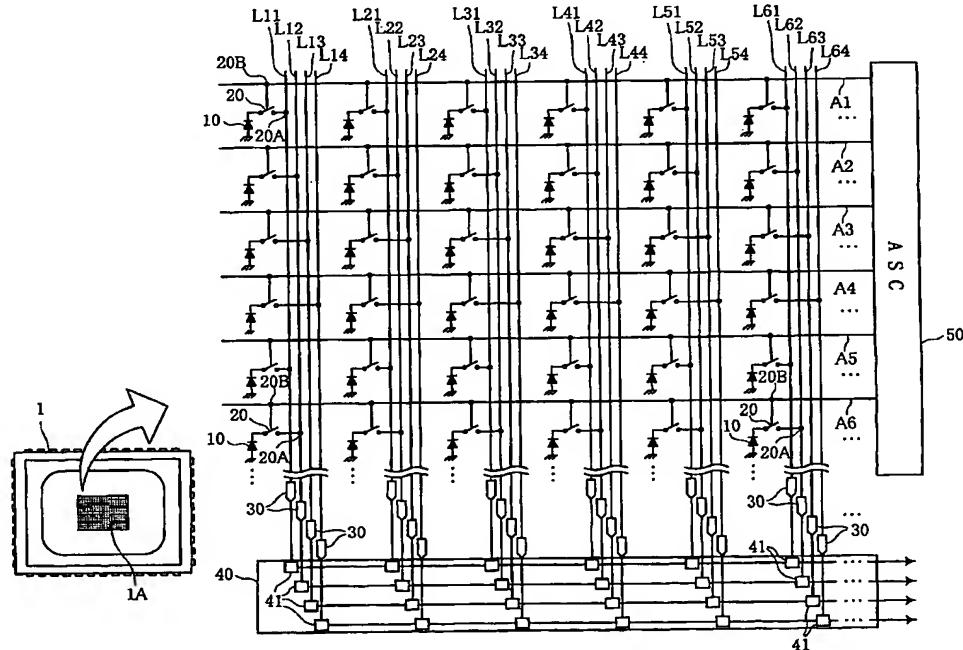
2002年10月11日 (11.10.2002) JP

特願 2002-321014 2002年11月5日 (05.11.2002) JP

添付公開書類:
— 国際調査報告書(71) 出願人 (米国を除く全ての指定国について): ローム
株式会社 (ROHM CO., LTD.) [JP/JP]; 〒615-8585 京都
府 京都市 右京区西院溝崎町 21 番地 Kyoto (JP).2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: AREA IMAGE SENSOR

(54) 発明の名称: エリアイメージセンサ



(57) Abstract: An area image sensor (1) has a plurality of imaging elements (10, 20) arranged in a matrix shape to form a plurality of element rows and a plurality of element columns. Among the plurality of element columns, for one element column, a plurality of signal lines (L11 to L14) are assigned. Each signal line has an output terminal connected to an A/D converter (30). Each of the imaging elements belonging to the one element column is connected to one of the plurality of signal lines and each of the plurality of signal lines is connected to at least one of the imaging elements belonging to the one element column.

[総葉有]

WO 2004/034697 A1



(57) 要約: エリアイメージセンサ(1)は、複数の素子行および複数の素子列を形成するようにマトリクス状に配列された複数の撮像素子(10, 20)を有している。前記複数の素子列のうちの一の素子列に対しては、複数の信号線(L11～L14)が割り当てられている。各信号線の出力端には、A/Dコンバータ(30)が接続されている。前記一の素子列に属する撮像素子の各々は、前記複数の信号線のうちのいずれか1つのみに接続されており、かつ、前記複数の信号線の各々は、前記一の素子列に属する前記撮像素子のうちの少なくとも1つに接続されている。

明細書

エリアイメージセンサ

5 技術分野

本発明は、例えばデジタルカメラなどに組み込まれるCMOS型エリアイメージセンサ（二次元イメージセンサ）に関する。

背景技術

10 従来のCMOS型エリアイメージセンサの一例が、日本国特許出願公開公報P2001-36816Aに開示されている。同公報の図1に示されるように、従来のエリアイメージセンサは、マトリクス状に配置された複数の撮像素子を含む（各撮像素子は、フォトダイオードとスイッチングトランジスタとから成る）。撮像素子の縦の並びを「列」といい、撮像素子の横の並びを「行」という。撮像素子の各列に平行して1本の信号線が設けられており、各行に並行して1本のアドレス線が設けられている。各信号線には、対応する1列分の撮像素子（より正確にはスイッチングトランジスタの出力端）が接続される。また、各アドレス線には、対応する1行分の撮像素子（より正確にはスイッチングトランジスタのゲート）が接続される。各信号線の出力端には、アナログ-デジタルコンバータが接続され、各A/Dコンバータの出力端には、シフトレジスタが接続されている。

上記エリアイメージセンサでは、アドレス線が一度に一つずつ、順次選択される。これにより、選択されたアドレス線に対応する行の撮像素子から、A/Dコンバータに向けて信号電圧が出力される。A/Dコンバータは、入力された信号電圧と基準電圧とを比較した後、デジタルの画素信号をシフトレジスタに出力する。シフトレジスタは、デジタル画素信号をシフトパルスに同期して出力する（この出力されたデータを「画像データ」と言う）。

1フレーム分の画像データは、全アドレス線のスキャンが完了し、各撮像素子に対応するデジタル画素信号がシフトレジスタから出力されることで得られる。そのため、例えばフレームレートを F_R （fps：フレーム/秒）とし、全アドレス線の本数を N_A とした場合、A/Dコンバータは、 $1 / (F_R \times N_A)$ 秒

程度の時間（「サイクルタイム」）で、アナログの信号電圧をデジタル画素信号に変換する必要がある。

一般にサイクルタイムが短くなるほど、A/Dコンバータの安定動作が損なわれる傾向にある。上述したように、従来のサイクルタイムは $1 / (F_R \times N_A)$

5 である。したがって、フレームレート F_R を大きくすると (N_A は一定として)、A/Dコンバータが正常に機能しないおそれがあった。

発明の開示

本発明は上記した事情の下で考え出されたものであって、A/Dコンバータの安定動作を損なうことなく、フレームレートを向上しうるエリアイメージセンサを提供することをその課題とする。

本発明の第1の側面より提供されるエリアイメージセンサは、複数の素子行および複数の素子列を形成するようにマトリクス状に配列された複数の撮像素子と、前記複数の素子列のうちの一の素子列に対して割り当てられた複数の信号線と、それぞれが、対応する一の信号線に接続された複数のA/Dコンバータと、を具備している。前記一の素子列に属する撮像素子の各々は、前記複数の信号線のうちのいずれか1つのみに接続されており、かつ、前記複数の信号線の各々は、前記一の素子列に属する前記撮像素子のうちの少なくとも1つに接続されている。

20 好ましくは、各撮像素子は、光電変換素子と、この光電変換素子に接続されたスイッチング素子からなる。

好ましくは、前記一の素子列に属する前記撮像素子は、互いに隣り合う2つの撮像素子を含み、前記2つの撮像素子のうちの一方は、前記複数の信号線のうちの1つに接続されており、前記2つの撮像素子のうちの他方は、前記複数の信号線のうちの別の1つに接続されている。

好ましくは、本発明のイメージセンサは、複数のアドレス線と、これらアドレス線に接続されたアドレス線選択回路とを更に具備している。前記複数のアドレス線の各々は、前記複数の素子行のうちの対応する一の素子行に属する撮像素子に接続されており、前記アドレス線選択回路は、前記複数のアドレス線のうちの複数本を同時に選択するように構成されている。

好ましくは、本発明のイメージセンサは、前記複数のA/Dコンバータに接

続されたシフトレジスタを更に具備している。

本発明の第2の側面によれば、複数の撮像素子が複数行複数列に配列されたエリアイメージセンサが提供される。このイメージセンサは、撮像素子の一の列あるいは二の列に割り当てられた複数の信号線と、前記各信号線にそれぞれ接続されたアナログ/デジタルコンバータと、を具備している。前記撮像素子の各列においては、前記信号線の割り当て本数と同数にわたり連続して並ぶ撮像素子ごとに小グループが形成されているとともに、小グループ内では、各撮像素子がそれぞれ異なる信号線に接続される。また、前記撮像素子の各列においては、2以上にわたり連続して並ぶ小グループごとに大グループが形成されているとともに、この大グループ内では、小グループ単位の信号線に対する接続パターンが少なくとも2通り存在する。

好ましくは、前記撮像素子の各列においては、2を累乗した数の小グループごとに大グループが形成されている。

好ましくは、前記撮像素子の各列には、小グループの数が異なる2種類以上の大グループが形成されている。

好ましくは、本発明のイメージセンサは、更に、前記撮像素子の各行に1本ずつ割り当てられ、1本につき当該行内の撮像素子全てが接続されたアドレス線と、これらアドレス線のうちの複数を同時に選択するよう構成されたアドレス線選択回路と、前記アナログ/デジタルコンバータの各々から出力されてきたデジタル信号を取り込むとともに、これらのデジタル信号を複数の転送ラインにのせて出力するシフトレジスタと、前記転送ラインを切り替えてデジタル信号を出力させるデュプレクサ回路あるいはマルチプレクサ回路と、を具備している。

好ましくは、前記アナログ/デジタルコンバータは、入力される信号電圧と所定の基準電圧とを比較し、両電圧が一致したときのカウント値をデジタル信号として前記シフトレジスタに出力する。

図面の簡単な説明

図1は、本発明の第1実施例に基づくエリアイメージセンサの要部を示す回路図である。

図2は、上記イメージセンサの撮像素子の回路図である。

図3は、上記イメージセンサのA/Dコンバータを示すブロック図である。

図4 Aは、上記A/Dコンバータの動作タイミングを説明するタイムチャートである。

図4 Bは、本発明に対する比較例を説明するタイムチャートである。

5 図5は、上記A/Dコンバータの別の動作タイミングを説明するタイムチャートである。

図6は、本発明の第2実施例に基づくエリアイメージセンサの要部を示す回路図である。

図7は、図6のイメージセンサの撮像素子の回路図である。

10 図8は、撮像素子の接続パターンを説明する図である。

図9は、第2実施例のエリアイメージセンサに用いるA/Dコンバータのブロック図である。

図10は、上記A/Dコンバータの動作を説明する図である。

図11は、信号処理手順を説明する図である。

15 図12は、別の信号処理手順を説明する図である。

図13は、さらに別の信号処理手順を説明する図である。

図14は、本発明の第3実施例に基づくエリアイメージセンサの要部を示す回路図である。

20 図15は、第3実施例のエリアイメージセンサにおける撮像素子の接続パターンを説明する図である。

図16 Aは、比較例としての信号処理手順を説明する図である。

図16 Bは、第3実施例のエリアイメージセンサにおける信号処理手順を説明する図である。

25 図17は、第3実施例のエリアイメージセンサにおける別の信号処理手順を説明する図である。

図18は、本発明の第4実施例に基づくエリアイメージセンサの要部を示す回路図である。

図19は、第4実施例のエリアイメージセンサにおける撮像素子の接続パターンを説明する図である。

30 図20は、本発明の第5実施例に基づくエリアイメージセンサの要部を示す回路図である。

図21は、第5実施例のエリアイメージセンサにおける撮像素子の接続パターンを説明する図である。

図22は、第5実施例の変形例を説明する図である。

図23は、上記変形例における撮像素子の接続パターンを説明する図である。

5

発明を実施するための最良の形態

以下、本発明の好適な実施例につき、添付図面を参照しつつ具体的に説明する。

図1は、本発明の第1実施例に基づくCMOS型エリアイメージセンサの構成図である。エリアイメージセンサ1は、例えばデジタルカメラを構成する一部品として用いることができるが、本発明がこれに限定されるわけではない。

図に示すイメージセンサ1は、矩形状の受光部1Aを備えており、この受光部は、複数のフォトダイオード10および複数のスイッチング素子20を含む。各フォトダイオード10は対応する一のスイッチング素子20と対をなして、15 一の撮像素子を構成する。この撮像素子を含む単位区画が1ピクセルに相当する。複数の撮像素子は、マトリクス状に配列されている。撮像素子の縦の並びを「列」といい、撮像素子の横の並びを「行」という。

撮像素子の各列に対応して、4本の信号線L_{i,j} (i, j = 1, 2, 3, ...)が設けられている。例えば、第1列の撮像素子に対しては、信号線L_{1,1}、L_{1,2}、L_{1,3}、L_{1,4}が設けられており、各信号線は、対応する複数のスイッチング素子の出力端20Aに接続されている。同様に、第2列の撮像素子に対しては、信号線L_{2,1}、L_{2,2}、L_{2,3}、L_{2,4}が設けられている。各信号線の出力端は、アナログ-デジタルコンバータ (A/Dコンバータ) 30に接続されており、コンバータ30の出力端は、シフトレジスタ40に接続されている。

また、撮像素子の各行に対応して、1本のアドレス線A_k (k = 1, 2, 3, ...)が設けられている。例えば、第1行の撮像素子に対しては、アドレス線A₁が設けられており、同アドレス線は、対応する複数のスイッチング素子のゲート20Bに接続されている。同様に、第2行の撮像素子に対しては、アドレス線A₂が設けられている。各アドレス線は、アドレス線選択回路 (ASC) 50に接続されている。

図2は撮像素子の回路図である。スイッチング素子20は、3つのトランジスタ、すなわち、リセット用トランジスタTR1、スイッチング用トランジスタTR2、およびソースフォロワアンプ用トランジスタTR3からなる。リセット用トランジスタTR1とスイッチング用トランジスタTR2とは、CMOS型デバイスである。また、行ごとにリセット線（第1行目については符号R1）が設けられており、列ごとにコモン線（第1列目については符号C1）が設けられている（これらの線は、図1では省略されている）。リセット用トランジスタTR1のソース、ゲートおよびドレインは、フォトダイオード10の出力端、リセット線R1およびコモン線C1にそれぞれ接続されている。スイッチング用トランジスタTR2のソース、ゲートおよびドレインは、コモン線C1、アドレス線A1およびソースフォロワアンプ用トランジスタTR3のソースにそれぞれ接続されている。ソースフォロワアンプ用トランジスタTR3のゲートは、フォトダイオード10の出力端に接続され、ドレインが信号線L11に接続されている。ソースフォロワアンプ用トランジスタTR3のドレンと信号線L11との接点が、スイッチング素子20の出力端20Aに相当し、スイッチング用トランジスタTR2のゲートとアドレス線A1との接点がスイッチング素子20の入出力ゲート20Bに相当する。ゲート20Bを通電状態としてスイッチング素子20がオンされると、受光量に応じた信号電荷がフォトダイオード10から信号線L11に流れ込み、この信号線を通じてA/Dコンバータ30に信号電圧が入力される。

ここで、第1列目に属するスイッチング素子20と信号線L11～L14とに着目し、これらの接続関係について見る。第1列目に並ぶスイッチング素子20は、4個おきに同一の信号線に接続されている。具体的には、第1+4n番目（n=0, 1, 2,...）のスイッチング素子20の出力端20Aは、信号線L11に接続され、第2+4n番目のスイッチング素子20は、信号線L12に接続されている。また、第3+4n番目のスイッチング素子20の出力端20Aは、信号線L13に接続され、第4+4n行目のスイッチング素子20は、信号線L14に接続されている（他の列についても同様である）。このような構成を採用することによる技術的意義については後述する。

図3は、A/Dコンバータ30の主要構成を示すブロック図である。A/Dコンバータ30は、比較器（CM）31およびカウンタ（CT）32を含んで

いる。比較器 3 1 には、アナログ信号の信号電圧 (S v) が信号線 L を通じて入力されるとともに、動作クロックに比例して大きくなる基準電圧 (R v) (図 4 A 参照) が入力される。基準電圧は、アドレス線選択回路 5 0 の所定の選択周期 (「サイクルタイム (C T M)」) ごとに入力される。比較器 3 1 は、サ 5 イクルタイム内に入力された信号電圧 S v と基準電圧 R v とを比較し、両電圧が一致した時点でカウンタ 3 2 にラッチ信号を出力する。カウンタ 3 2 は、クロック数をカウントしており、比較器 3 1 からラッチ信号を受けると、その時 10 点のクロックカウント数 (C C N) をデジタル画素信号としてシフトレジスタ 4 0 (図 1) に出力する。

シフトレジスタ 4 0 は、フリップフロップ回路などで構成された複数のレジ 15 スタ 4 1 を備える。各レジスタ 4 1 は、対応する A/D コンバータ 3 0 の出力端に接続されている。図 1 から理解されるように、各列の撮像素子に対して、4 つのコンバータ 3 0 および 4 つのレジスタ 4 1 が設けられている。シフトレジスタ 4 0 内のレジスタ 4 1 は、4 つのグループに分けることができ、同一グ 20 ループに属するレジスタ 4 1 は、互いに接続されている。具体的には、信号線 L i 1 (i = 1, 2, 3, ...) に対応するレジスタ 4 1 は互いに接続されている。また、L i 2 (i = 1, 2, 3, ...) に対応するレジスタ 4 1 も互いに接続されている (その他のレジスタについても同様)。シフトレジスタ 4 0 は、A/D コンバータ 3 0 からのデジタル画素信号をレジスタ 4 1 に取り込んだ後、クロックなどに同期して左から右のレジスタ 4 1 にデジタル画素信号を順番に移しながら順次出力する。

アドレス線選択回路 5 0 は、一度に 4 本ずつアドレス線を選択し、これらア 25 ドレス線に対応する撮像素子をオン状態とする。具体的には、回路 5 0 は、まずアドレス線 A 1 ~ A 4 を選択し、これらアドレス線に対応する撮像素子をオ ン状態にする (その結果、撮像素子からコンバータ 3 0 に信号電圧が出力され 20)。次に、上述した「サイクルタイム C T M」経過後に、アドレス線 A 5 ~ A 8 を選択し、これらアドレス線に対応する撮像素子をオン状態にする。以下、この選択動作が繰り返される。

次に、エリアイメージセンサ 1 の全体動作を図 4 A、4 B および図 5 を参照 30 して説明する。図 4 A 及び図 5 は、A/D コンバータ 3 0 の動作タイミングを説明するためのタイムチャートであり、図 4 B は、比較のための従来例による

タイムチャートである。

まず、アドレス線選択回路50は、第1行目から第4行目までのアドレス線A1～A4をまとめて選択する。すると、これらのアドレス線A1～A4に接続された第1行目から第4行目までのスイッチング素子20がオンとなる。同5 時に、オンした各スイッチング素子20と対をなすフォトダイオード10からは、光電変換による信号電圧が、対応する一の信号線（図1参照）を通じてA/Dコンバータ30に供給される。

A/Dコンバータ30は、図4Aに示すように、サイクルタイムCTM内において、増加する基準電圧Rvと信号電圧Svとを比較する。そして、A/D10 コンバータ30は、両電圧が一致したときのクロックカウント数CCNをデジタル画像信号としてシフトレジスタ40に出力する。（この画像信号は、次の第5行目から第8行目までのアドレス線が選択されている間に、シフトレジスタ40から出力される。）

アドレス線A1～A4の選択が終わると、第1行～第4行のリセット線（図15 2にリセット線R1のみ示されている）が選択されることで、第1行～第4行のフォトダイオード10がリセットされる。その一方で、次の第5行目から第8行目までのアドレス線が選択されて、上記と同様の処理が行われる。このような一連の動作が繰り返されることにより、受光部1A全体に対応する1フレーム分の画像データが得られる。

20 ここで、例えばフレームレートを60fpsとし、アドレス線の全本数をNとした場合について考える。この場合、各A/Dコンバータ30の処理時間は、1フレーム当たり1/60秒（実際には多少の誤差が生ずる）である。そして、この処理時間内にA/Dコンバータ30は、N/4回のAD変換を行う。よって、1回のAD変換に要する時間（サイクルタイム）は、1/(15×N)秒である。一方、従来の方式（各列に対して信号線が1本、かつ、アドレス線を1本ずつ選択）によれば、1フレーム分の処理時間（1/60秒）内に総計N回のAD変換が行われる。したがって、サイクルタイムは、1/(60×N)秒になる。

30 このように本発明（図4A）によれば、従来例（図4B）に比べてサイクルタイムが4倍長くなり、1サイクルタイムにおける基準電圧の変化率を小さくすることができる。その結果、A/Dコンバータの動作クロックを同じとした

場合、1ピクセル当たりのデジタル画素信号のビット数が大きくなる（すなわち、階調数が増える）。

本発明によれば、サイクルタイムを図4Aに示すものの半分としても良い（図5）。サイクルタイムCTMを短くすることにより、フレームレートを大きく5することができる。この場合でも、本発明のサイクルタイムは、従来のサイクルタイム（図4B）よりも長く、1ピクセル当たりの階調数を従来よりも多くすることができる。

また、本発明によれば、A/Dコンバータの動作クロックを従来よりも低く設定しても、従来と同様のあるいはそれ以上の階調数を実現することができる。10動作クロックの低減により、A/Dコンバータにおいて消費される電力を低減することができるという利点がある。

上述した実施例では、複数の撮像素子をマトリクス状に配列したが、本発明はこれに限定されるわけではない。例えば、複数の撮像素子をハニカム状の配列としてもよい。また、撮像素子の各列に割り当てる信号線の本数は、515以上であってもよい。

また、上述した実施例では、一の信号線（例えば信号線L11）に接続されたスイッチング素子20同士は互いに隣接していない。しかしながら、同一の信号線に接続する複数のスイッチング素子を、相互に隣接するように配置してもよい。図1に示す例で説明すれば、第1列（最も左の列）に属するスイッチング素子20を4つのグループ（第1グループ～第4グループ）に分け、各グループに属するスイッチング素子20は、相互に隣接するように配置する。その上で、例えば、第1グループのスイッチング素子20を信号線L11に接続するとともに、第2グループのスイッチング素子20を信号線L12に、第3グループのスイッチング素子20を信号線L13に、第4グループのスイッチング素子20を信号線L14に、それぞれ接続する。各列のスイッチング素子を幾つのグループに分けるかは、当該列に対して用いられる信号線の数に依存する。例えば、一の列に対して5本の信号線が用いられているときには、当該列のスイッチング素子20は、5つのグループに分けられる。このような場合、一のグループに属する2以上のスイッチング素子20（これらは共通の信号線30に接続されている）を、同時にオンしないように構成する必要がある。

A/Dコンバータ30は、スロープ状基準電圧を用いる方式に限らない。例

えば、逐次比較型のコンバータを用いてもよい。この場合には、入力信号電圧とコンバータ内部でデジタル的に発生される基準電圧とが逐次比較される。

図6は、本発明の第2実施例に係るエリアイメージセンサの構成図である。

第2実施例のイメージセンサの構成要素で、第1実施例のイメージセンサの構成要素と同一あるいは類似のものについては、同じ参照符号を用いている。このことは、後に説明する第3～第5実施例についても同様である。

図6に示すように、撮像部1Aを有するエリアイメージセンサ1は、複数のフォトダイオード10、複数のスイッチング素子20、複数のアナログ/デジタルコンバータ（「A/Dコンバータ」）30、シフトレジスタ40、アドレス線選択回路50、デュプレクサ回路60、縦方向に延びる信号線L、および横方向に延びるアドレス線Aを含んでいる。

フォトダイオード10とスイッチング素子20とは、互いに接続されて対をなし、撮像素子として機能する。複数の撮像素子は、複数行複数列に配列したアレイ構造からなる。信号線Lは、撮像素子の列ごとに2本ずつ（L_a1およびL_b2など）設けられている。これらの信号線Lには、所定の規則的パターンに従ってスイッチング素子20の出力端20Aが接続されている。この規則的パターンについては後述する。信号線Lの出力端には、A/Dコンバータ30が接続され、A/Dコンバータ30の出力端は、シフトレジスタ40に接続され、シフトレジスタ40の出力端は、デュプレクサ回路60に接続されている。アドレス線Aは、撮像素子の行ごとに1本ずつ（A₁など）設けられている。各行のアドレス線Aには、1行全てのスイッチング素子20の入出力ゲート20Bが接続されている。これら全てのアドレス線Aは、アドレス線選択回路50に接続されている。

図7は、1つの撮像素子についての回路図である。スイッチング素子20は、リセット用トランジスタTR1、スイッチング用トランジスタTR2、およびソースフォロワアンプ用トランジスタTR3を組み合わせてなる。リセット用トランジスタTR1とスイッチング用トランジスタTR2とは、CMOS構造により実現される。また、図6では省略したが、行ごとにリセット線R（第1行目については符号R₁）が引かれ、列ごとにコモン線C（第1列目については符号C₁）が設けられている。リセット用トランジスタTR1のソース、ゲート、ドレインは、フォトダイオード10の出力端、リセット線R₁、コモン

線C 1にそれぞれ接続され、スイッチング用トランジスタTR 2のソース、ゲート、ドレインは、コモン線C 1、アドレス線A 1、ソースフォロワアンプ用トランジスタTR 3のソースにそれぞれ接続されている。ソースフォロワアンプ用トランジスタTR 3のゲートは、フォトダイオード10の出力端に接続され、ドレインが信号線L 1 1に接続されている。これらのうち、ソースフォロワアンプ用トランジスタTR 3のドレインと信号線L a 1との接点がスイッチング素子20の出力端20Aに相当し、スイッチング用トランジスタTR 2のゲートとアドレス線A 1との接点がスイッチング素子20の入出力ゲート20Bに相当する。各ピクセルでは、入出力ゲート20Bを通電状態としてスイッチング素子20がオンされると、フォトダイオード10から光電変換された信号電荷が信号線に流れ込み、これらの信号線を通じてA/Dコンバータ30に信号電圧が入力される。

次に、一例として第1列目の撮像素子と信号線L a 1, L a 2とに着目し、これらの規則的パターンについて詳述する。なお、第1列目以外の各列についても、第1列目と全く同じ規則的パターンが適用される。

図8は、第1列目の規則的パターンを説明するための説明図である。この図に示すように、第1列目に並ぶ撮像素子P 1～P 3 2は、連続した2つごとに1つの小グループ(g 1, g 2, g 3など)を形成するとともに、1つの小グループ内では、隣り合う2つの撮像素子がそれぞれ異なる信号線L 1(L a 1), L 2(L a 2)に接続されている。また、小グループは、連続した2つごとに1つの大グループをなすように構成されている。例えば、大グループG 1は、小グループg 1およびg 2からなる。図中、「OM」は動作モードを、「CF」はクロック周波数を、「Px」はピクセルを、「SL」は信号線を、それぞれ意味している。また、「1」はオンを、「0」はオフを示す。

ここで、たとえば大グループG 1について見ると、これに含まれる小グループg 1の信号線L 1, L 2に対する接続パターンと、小グループg 2の信号線L 1, L 2に対する接続パターンとは、それぞれ異なる。このことは、他の大グループG 2～G 8についても同様である。そして、各大グループ内では、第2n+1(n=0, 1)番目に位置する2つの撮像素子は、それぞれ異なる信号線に接続されている。例えば、大グループG 1において、P 1とP 3は、それぞれ異なる信号線に接続されている。また、大グループG 2においては、P

5 と P 7 は、それぞれ異なる信号線に接続されている。

さらに、図 8 に示すように、G 1 および G 2 から、より大きなグループ G # 1 が形成される。グループ G # 1 は、4 (= 2²) 個の小グループ (g 1 ~ g 4) を含んでいる。同様に、G 3 および G 4 からグループ G # 2 が、G 5 および G 6 からグループ G # 3 が、G 7 および G 8 からグループ G # 4 が、それぞれ形成される。また、グループ G # 1 および G # 2 から、より大きなグループ G % 1 が形成される。グループ G % 1 は、8 (= 2³) 個の小グループ (g 1 ~ g 8) を含んでいる。同様に、グループ G # 3 および G # 4 から、グループ G % 2 が形成される。また、グループ G % 1 および G % 2 から、より大きなグループ G & 1 が形成される。グループ G & 1 は、16 (= 2⁴) 個の小グループ (g 1 ~ g 16) を含んでいる。

図 8 から理解されるように、グループ G # 1 に関する信号線への接続パターンとグループ G # 4 に関する信号線への接続パターンとは同じであり、グループ G # 2 に関する信号線への接続パターンとグループ G # 3 に関する信号線への接続パターンとは同じである。しかしながら、グループ G # 1 に関する信号線への接続パターンとグループ G # 2 に関する信号線への接続パターンとは異なっている。グループ G # 1 内において、第 4n + 1 (n = 0, 1) 番目に位置する 2 つの像素子 (P 1 と P 5) は、それぞれ異なる信号線 L a 1、L a 2 に接続されている。同様に、グループ G # 2 内において、第 4n + 1 (n = 0, 1) 番目に位置する 2 つの像素子 (P 9 と P 13) は、それぞれ異なる信号線 L a 1、L a 2 に接続されている。

さらには、グループ G % 1 内において、第 8n + 1 (n = 0, 1) 番目に位置する 2 つの像素子 (P 1 と P 9) は、それぞれ異なる信号線 L a 1、L a 2 に接続されている。同様に、グループ G % 2 内において、第 8n + 1 (n = 0, 1) 番目に位置する 2 つの像素子 (P 17 と P 25) は、それぞれ異なる信号線 L a 1、L a 2 に接続されている。また、グループ G & 1 内において、第 16n + 1 (n = 0, 1) 番目に位置する 2 つの像素子 (P 1 と P 17) は、それぞれ異なる信号線 L a 1、L a 2 に接続されている。

このような規則的パターンによれば、フルサンプリングスキャン (全ての像素子から信号を抽出する) を行う場合、各小グループ (g 1 ~ g 32) に含まれる 2 つの像素子 (すなわち、P 1 と P 2 のペア、P 3 と P 4 のペアなど)

を同時にオンさせる。具体的には、まず P 1 と P 2 を同時にオンすることにより、第 1 行および第 2 行に対する信号電圧を信号線を通じて A/D コンバータ 30 に同時に入力させる。次いで、P 3 と P 4 を同時にオンすることにより、第 3 行および第 4 行に対する信号電圧を信号線を通じて A/D コンバータ 30 に同時に入力させる（その他の列についても同様）。

アドレス線を 2 本に 1 本の割合で選択走査する（1/2 サンプリングスキャン）を行う場合、グループ G 1 内においては、撮像素子 P 1 と P 3 が同時にオンされ、グループ G 2 内においては、撮像素子 P 5 と P 7 が同時にオンされる。このようにして、2 行分の信号電圧が、信号線を通じて A/D コンバータ 30 に同時に入力される。

また、1/4 サンプリングスキャンを行う場合には、グループ G # 1 内において、撮像素子 P 1 と P 5 が同時にオンされ、グループ G # 2 内において、撮像素子 P 9 と P 13 が同時にオンされる。同様に、1/8 サンプリングスキャンを行う場合には、グループ G % 1 内において撮像素子 P 1 と P 9 が同時にオンされ、グループ G % 2 内において撮像素子 P 17 と P 25 が同時にオンされる。また、1/16 サンプリングスキャンを行う場合には、グループ G & 1 内において、撮像素子 P 1 と P 17 が同時にオンされる。

各 A/D コンバータ 30 は、図 9 に示すように、比較器 31 およびカウンタ 32 を含む。比較器 31 には、図 10 に示すように、アナログ信号としてサンプルホールドされた信号電圧（図中にプロットで示す）が信号線を通じて入力されるとともに、動作クロックに比例してスロープ状に変化する基準電圧が入力される。比較器 31 は、入力された信号電圧と基準電圧とを比較し、両電圧が一致した時点でカウンタ 32 にラッチ信号を出力する。カウンタ 32 は、クロック数をカウントしており、比較器 31 からラッチ信号を受けると、その時点のクロックカウント数をデジタル画素信号としてシフトレジスタ 40 に出力する。

シフトレジスタ 40 は、図 6 に示すようにレジスタ 41 を備える。各レジスタ 41 は、A/D コンバータ 30 の出力端に接続されている。レジスタ 41 は、各列 2 個ずつの A/D コンバータ 30 に対応して 2 段をなすように設けられており、信号線 L 1 に対応する一群が第 1 の転送ライン 42A に、信号線 L 2 に対応する一群が第 2 の転送ライン 42B に接続されている。このようなシフト

レジスタ40は、各A/Dコンバータ30からのデジタル画素信号を各レジスタ41に一時的に取り込んだ後、シフトパルスに同期しながら2本の転送ライン42A、42Bを通じて1つずつデジタル画素信号を転送する。このとき、デュプレクサ回路60は、シフトレジスタ40の動作に連動して転送ライン42A、42Bを適当なタイミングで切り替える。たとえば、デュプレクサ回路60は、第1の転送ライン42Aに接続された状態で第1の転送ライン42A上のデジタル画素信号を順次出力する。その出力完了後、第2の転送ライン42Bに接続を切り替え、第2の転送ライン42B上のデジタル画素信号を順次出力する。これにより、シフトレジスタ40で2行分のデジタル画素信号がシリアルに出力される。

次に、図11～13を参照して、エリアイメージセンサ1の動作について説明する。動作原理をわかりやすくするために、撮像部1Aは、4行4列の総計16ピクセルを有しているとする。

図11は、動作モードとしてアドレス線A1～A4を1本ずつ選択走査するフルサンプリングスキャンである。なお、この動作モードは比較例であり、本発明に基づくものではない。一方、図12は、同時に2本ずつ選択走査するフルサンプリングスキャンを示し、図13は、2本に1本の割合で同時に2本ずつ選択走査する1/2サンプリングスキャンを示している。各図の上段には、タイミングチャートを示し、下段には、シフトレジスタの動作を模式的に示す。

図11に示すように、アドレス線選択信号ASSに基づきアドレス線A1～A4を1本ずつ順に選択走査する場合、アドレス線選択回路50は、フレーム信号FS(F1, F2, F3, ...)をアサートするごとにアドレス線A1～A4を順に選択する。ここで、フレーム信号とは、1フレームの画像データを周期的に取り込むタイミングを与えるための信号である。フレーム信号の周波数はフレームレートに一致する。

1本のアドレス線A1を選択すると、このアドレス線A1に接続された第1行目のスイッチング素子20がオンになる。同時に、オンしたスイッチング素子20と対をなすフォトダイオード10からは、光電変換による信号電圧が信号線を通じてA/Dコンバータ30に供給される。図11において、「OD」は出力データを意味する。また、「F11」は、フレーム信号F1に対して、アドレス線A1が選択されたときに出力される出力データを表す。同様に、「F

23」は、フレーム信号F2に対して、アドレス線A3が選択されたときに出力される出力データを表す。

A/Dコンバータ30は、図10に示したように、1回の選択走査ごとにスロープ状の基準電圧とアナログ入力の信号電圧とを比較する。A/Dコンバータ30は、両電圧が一致したときのクロックカウント数をデジタル画像信号としてシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択走査を終えるまでにデジタル画像信号を出力する。その後、同様にしてアドレス線A2, A3, A4が順に選択走査され、シフトレジスタ40からは、1回の選択走査ごとに各行のデジタル画像信号が出力される。つまり、図11に示すアドレス線選択信号ASSや出力データの1周期分がライン走査周期に相当し、4ライン走査周期で1フレームの処理が完結する。このようなフルサンプリングスキャンによれば、A/Dコンバータ30は、1フレーム当たり4回のAD変換処理を行わなければならず、動作クロック（クロック周波数）もそれに応じて高い周波数とされる。このときのクロック周波数を「f」とする。

15 次に、アドレス線A1～A4を2本ずつ選択走査するといった実際のフルサンプリングスキャンを考える（フレームレートは上記と同一条件とする）。この場合、アドレス線選択回路50は、図12に示すように、フレーム信号をアサートするごとに2本のアドレス線（A1およびA2、A3およびA4）を同時に選択しつつ、走査する。

20 具体的には、最初にアドレス線A1, A2が同時に選択されることにより、これらのアドレス線に接続された第1, 第2行目のスイッチング素子20がオンになる。その結果、オンしたスイッチング素子20と対をなす2行分のフォトダイオード10から、信号電圧が信号線を通じてA/Dコンバータ30に供給される。

25 A/Dコンバータ30は、1回の選択ごとに基準電圧と信号電圧とを比較し、両電圧が一致したときのクロックカウント数をデジタル画像信号としてシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択が終わるまでに2行分のデジタル画像信号を出力する。その後、同様にしてアドレス線A3, A4が同時に選択され、シフトレジスタ40からは、2行分のデジタル画像信号が出力される。この場合、図12に示すアドレス線選択信号や出力データの1周期分がライン走査周期に相当し、2ライン走査周期で1フレームの処理が

完結する。

ここで、先述したフルサンプリングスキャンと異なる点は、1回の選択走査で2行分のデジタル画像信号が得られる点にある。また、シフトレジスタ40は、図12に示すように、ライン走査周期内にデュプレクサ回路60により転送ライン42A, 42Bが切り替えられるため、このデュプレクサ回路60を通じて2行分のデジタル画素信号がシリアル出力される点も異なる。このとき、デュプレクサ回路60は、シフトレジスタ40からのデジタル画素信号を行順に出力するように転送ライン42A, 42Bを切り替える。

つまり、本発明のフルサンプリングスキャンによれば、A/Dコンバータ30によるAD変換処理は、1フレーム当たり2回とされる。その結果、ライン走査周期を長く設定してクロック周波数を先のフルサンプリングスキャンより低い $f/2$ 程度とすることができます。

さらに、フレームレートは上記と同一条件とした上で、1/2サブフルサンプリングスキャンについて考える。この場合、アドレス線選択回路50は、図13に示すように、フレーム信号F1, F2, をアサートするごとにグループG1内の第2n+1 ($n=0, 1$) 番目に対応したアドレス線A1, A3を同時に選択走査する。2本のアドレス線A1, A3を同時に選択すると、これらのアドレス線A1, A3に接続された第1, 第3行目のスイッチング素子20がオンになる。同時に、オンしたスイッチング素子20と対をなす2行分のフォトダイオード10からは、光電変換による信号電圧が信号線L1, L2を通じてA/Dコンバータ30に供給される。

A/Dコンバータ30は、1回の選択ごとにデジタル画像信号をシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択を終えるまでに2行分のデジタル画像信号を出力する。この場合、図13に示すアドレス線選択信号や出力データの1周期分がライン走査周期に相当するので、1ライン走査周期で1フレームの処理が完結する。

このような1/2サンプリングスキャンでは、1回の選択走査で2行分のデジタル画像信号が得られるが、このデジタル画像信号は1行隔てたデータである。つまり、シフトレジスタ40は、図13に示すように、ライン走査周期内にデュプレクサ回路60により転送ライン42A, 42Bが切り替えられるので、このデュプレクサ回路60を通じて1行おきのデジタル画素信号がシリアル

ル出力される。このとき、1行おきのデジタル画素信号の中でも、図13にハッチングで示すように、第2、4列目のデジタル画素信号が破棄される。そのため、最終的には、4行4列の16ピクセルから4ピクセル分のデジタル画素信号が抽出され、1フレーム分のデータ量がフルサンプリングスキャンの1/5とされる。

よって、1/2サンプリングスキャンによれば、A/Dコンバータ30によるAD変換処理は、1フレーム当たり1回で済み、ライン走査周期をさらに長く設定して、クロック周波数を $f/4$ にすることができる。同様の動作原理に基づき、1/4、1/8、1/16サンプリングスキャンとすれば、それぞれ10クロック周波数を $f/8$ 、 $f/16$ 、 $f/32$ にすることができる。

再び図8を参照して説明すると、フルサンプリングスキャン時には、P1、P2の2行、およびP3、P4の2行ごとに画素データが得られるので、クロック周波数を $f/2$ にすることができる。

また、1/2サンプリングスキャン時には、P1、P3の2行、およびP5、P7の2行ごとに画素データが得られるので、クロック周波数を $f/4$ にすることができる。

さらに、1/4サンプリングスキャン時には、P1、P5の2行、およびP9、P13の2行ごとに画素データが得られるので、クロック周波数を $f/8$ 程度にすることができる。

さらに進み、P1、P9の2行、およびP17、P25の2行、ごとに画素データが得られるので、クロック周波数を $f/16$ 程度にすることができる。

最もサンプリング率の小さい1/16サンプリングスキャン時には、P1、P17の2行、およびP33、P49（P33以降は図示省略）の2行ごとに画素データが得られるので、クロック周波数を $f/32$ 程度にすることができる。

したがって、この実施例によれば、たとえば1/2サンプリングスキャン時には、アドレス線A₁を1本ずつ選択走査する場合のA/Dコンバータ30の動作クロック（クロック周波数） f に比べ、その動作クロックを $f/4$ まで低減させることができ、ひいては動作クロックと消費電力との比例的関係から消費電力を大幅に低減させることができる。

また、1/4サンプリングスキャンの場合、動作クロックを $f/8$ まで低減

させることができ、消費電力をさらに大幅に低減させることができる。もっとも、1/8、1/16サンプリングスキャンとすれば、消費電力の点でさらに大きな効果が得られる。

また、サンプリングスキャン時におけるA/Dコンバータ30の動作クロック、あるいはアドレス線選択回路50のライン走査周期などをバランス良く調整すれば、高フレームレート化と省電力化の双方を実現することができる。

図14は、第3実施例に係るエリアイメージセンサの構成図である。第3実施例では、撮像素子Pの列ごとに4本ずつ信号線が設けられている。これらの信号線には、以下に説明する規則的パターンに従って撮像素子Pが接続されて10いる。

図15は、第3実施例における第1列目の規則的パターンを説明するための説明図である。この図に示すように、第1列目に並ぶ撮像素子(P1, P2, ...)は、連続した4つごとに1つの小グループ(g1, g2, ...)をなすとともに、1つの小グループ内では、4つの撮像素子がそれぞれ異なる信号線L1～L4に接続されている。連続した2つの小グループは、1つの大グループを形成する(g1およびg2がG1を形成する等)。

たとえばグループG1について見ると、これに含まれる小グループg1の信号線L1～L4に対する接続パターンと、小グループg2の信号線L1～L4に対する接続パターンとはそれぞれ異なる(他のグループG2, G3, ...でも同様)。個々のグループG1, G2, ...内で第2n+1(n=0, 1, 2, 3)番目に位置する4つの撮像素子(P1, P3, P5, P7やP9, P11, P13, P15)については、それぞれ異なる信号線L1～L4に接続されている。

図15から理解されるように、グループG#1内では、第4n+1(n=0, 1, 2, 3)番目に位置する4つの撮像素子(P1, P5, P9, P13)は、それぞれ異なる信号線L1～L4に接続されている。同様に、グループG#2内では、第4n+1(n=0, 1, 2, 3)番目に位置する4つの撮像素子(P17, P21, P25, P29)は、それぞれ異なる信号線L1～L4に接続されている。さらに、グループG%1内において、第8n+1(n=0, 1, 2, 3)番目の規則的な順に位置する4つの撮像素子(P1, P9, P17, P25)は、それぞれ異なる信号線L1～L4に接続されている。

このような規則的パターンによれば、全ての撮像素子から信号を抽出するためのフルサンプリングスキャンを行う場合、撮像素子 P 1～P 4 や撮像素子 P 5～P 8 を同時にオンさせ、連続する 4 行分の信号電圧を信号線を通じて A/D コンバータ 30 に同時に入力させることができる。一方、アドレス線 A を 2 本に 1 本の割合で選択するといった 1/2 サンプリングスキャンを行う場合、グループ G 1 内で撮像素子 P 1, P 3, P 5, P 7 を同時にオンさせ、グループ G 2 内で撮像素子 P 9, P 11, P 13, P 15 を同時にオンさせることができる。つまり、1/2 サンプリングスキャンでも、4 行分の信号電圧を信号線を通じて A/D コンバータ 30 に同時に入力させることができる。

また、1/4 サンプリングスキャンを行う場合には、グループ G # 1 内において、撮像素子 P 1, P 5, P 9, P 13 を同時にオンさせるとともに、グループ G # 2 内において、撮像素子 P 17, P 21, P 25, P 29 を同時にオンさせることができる。

1/8 サンプリングスキャンを行う場合には、グループ G % 1 内において、撮像素子 P 1, P 9, P 17, P 25 を同時にオンさせる。

シフトレジスタ 40 のレジスタ 41 は、図 14 に示すように、信号線 L 1 に対応する一群が第 1 の転送ライン 42A に、信号線 L 2 に対応する一群が第 2 の転送ライン 42B に、信号線 L 3 に対応する一群が第 3 の転送ライン 42C に、信号線 L 4 に対応する一群が第 4 の転送ライン 42D に接続されている。

つまり、シフトレジスタ 40 は、シフトパルスに同期しながら 4 本の転送ライン 42A, 42B, 42C, 42D を通じて 1 つずつデジタル画素信号を転送する。このとき、マルチプレクサ回路 61 は、シフトレジスタ 40 の動作に連動して 4 本の転送ライン 42A, 42B, 42C, 42D を適当なタイミングで切り替える。たとえば、マルチプレクサ回路 61 は、第 1 の転送ライン 42A 上のデジタル画素信号を 1 つずつ順に出力した後、第 2 の転送ライン 42B に接続を切り替えてデジタル画素信号を出力し、さらに第 3 の転送ライン 42C、最後に第 4 の転送ライン 42D に接続を切り替えてデジタル画素信号を出力する。これにより、シフトレジスタ 40 で行ごとにシリアル化された 4 行分のデジタル画素信号が出力される。

次に、第 3 実施例の動作について説明する。なお、動作原理をわかりやすくするために、撮像素子は、図 14 にちょうど示される 8 行 6 列の総計 48 ピク

セルのみからなり、A/Dコンバータ30やシフトレジスタ40などの周辺回路も、それに応じた構成とする。

図16および図17は、信号の処理手順を説明するための説明図である。特に、図16Aは、動作モードとしてアドレス線A1～A8を1本ずつ選択走査するフルサンプリングスキャン、図16Bは、同時に4本ずつ選択走査するフルサンプリングスキャン、図17は、2本に1本の割合で同時に4本ずつ選択走査する1/2サンプリングスキャンに対応したタイミングチャートである。なお、図16Aは、あくまでも比較参考用にすぎず、実際には、アドレス線A、を1本ずつ選択走査するといった動作モードはない。

仮に、アドレス線A1～A8を1本ずつ順に選択走査するといったフルサンプリングスキャンを行う場合、アドレス線選択回路50は、図16Aに示すように、フレーム信号をアサートするごとにアドレス線A1～A8を1本ずつ順に選択走査する。

1本のアドレス線A1を選択走査すると、このアドレス線A1に接続された第1行目の撮像素子がオンになる。同時に、オンした撮像素子からは、信号電圧が信号線La1, Lb1, を通じてA/Dコンバータ30, に供給される。

A/Dコンバータ30は、デジタル画像信号をシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択走査を終えるまでにデジタル画像信号を出力する。その後、同様にしてアドレス線A2, A3等が順に選択走査され、シフトレジスタ40からは、1回の選択走査ごとに各行のデジタル画像信号が出力される。図16Aに示すアドレス線選択信号や出力データの1周期分がライン走査周期に相当し、8ライン走査周期で1フレームの処理が完結する。A/Dコンバータ30は、1フレーム当たり8回のAD変換処理を行わなければならず、動作クロック（クロック周波数）もそれに応じて高い周波数とされる。

次に、フレームレートは上記と同一条件としつつも、アドレス線A1～A8を4本ずつ選択走査するといった本発明のフルサンプリングスキャンについて考える。この場合、アドレス線選択回路50は、図16Bに示すように、フレーム信号をアサートするごとに4本のアドレス線A1～A4およびA5～A8を同時に選択走査する。

最初に、4本のアドレス線A1～A4を同時に選択走査すると、これらのアドレス線A1～A4に接続された第1～第4行目の撮像素子Pがオンになる。

同時に、オンした撮像素子Pからは、信号電圧が信号線L1～L4を通じてA/Dコンバータ30に供給される。

A/Dコンバータ30は、デジタル画像信号をシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択走査を終えるまでに4行分のデジタル画像信号を出力する。その後、同様にしてアドレス線A5～A8が同時に選択走査され、シフトレジスタ40からは、4行分のデジタル画像信号が出力される。この場合、図16Bに示すアドレス線選択信号や出力データの1周期分がライン走査周期に相当し、2ライン走査周期で1フレームの処理が完結する。

ここで、先述したフルサンプリングスキャンと異なる点は、1回の選択走査で4行分のデジタル画像信号が得られる点にある。また、シフトレジスタ40は、ライン走査周期内にマルチプレクサ回路61により転送ライン42A, 42B, 42C, 42Dが切り替えられるため、このマルチプレクサ回路61を通じて4行分のデジタル画素信号がシリアル出力される。なお、マルチプレクサ回路61は、シフトレジスタ40からのデジタル画素信号を行順に出力する。ように、転送ライン42A, 42B, 42C, 42Dを切り替える。たとえば、最初の4行分を出力する段階（アドレス線A1～A4の選択走査段階）では、符号42A, 42B, 42C, 42Dの順に転送ラインが切り替えられ、次の4行分を出力する段階（アドレス線A5～A8の選択走査段階）では、符号42B, 42C, 42D, 42Aの順に切り替えられる。上記フルサンプリングスキャンによれば、A/Dコンバータ30によるAD変換処理は、1フレーム当たり2回とされる。その結果、ライン走査周期を長く設定してクロック周波数を先のフルサンプリングスキャンより低いf/4程度とすることができます。

さらに、フレームレートは上記と同一条件とした上で、1/2サブフルサンプリングスキャンについて考える。この場合、アドレス線選択回路50は、図17に示すように、フレーム信号をアサートするごとにグループG1内の第2n+1 (n=0, 1, 2, 3) 番目に対応したアドレス線A1, A3, A5, A7を同時に選択走査する。

4本のアドレス線A1, A3, A5, A7を同時に選択走査すると、これらのアドレス線A1, A3, A5, A7に接続された第1, 第3, 第5, 第7行目の撮像素子Pがオンになる。同時に、オンした撮像素子Pからは、信号電圧が信号線L1～L4を通じてA/Dコンバータ30に供給される。

A/Dコンバータ30は、1回の選択走査ごとにデジタル画像信号をシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択走査を終えるまでに4行分のデジタル画像信号を出力する。この場合、図17に示すアドレス線選択信号や出力データの1周期分がライン走査周期に相当するので、1ライン走査周期で1フレームの処理が完結する。

このような1/2サンプリングスキャンでは、1回の選択走査で4行分のデジタル画像信号が得られるが、得られるデジタル画像信号は1行おきの信号である。シフトレジスタ40は、ライン走査周期内にマルチプレクサ回路61により転送ラインが符号42A, 42C, 42B, 42Dの順に切り替えられるので、このマルチプレクサ回路61を通じて1行おきのデジタル画素信号がシリアル出力される。このとき、1行おきのデジタル画素信号の中でも、第2, 第4, 第6列目のデジタル画素信号が破棄される。そのため、最終的には、8行6列の48ピクセルから12ピクセル分のデジタル画素信号が抽出され、1フレーム分のデータ量がフルサンプリングスキャンの1/4とされる。

よって、第3実施例の1/2サンプリングスキャンによれば、A/Dコンバータ30によるAD変換処理は、1フレーム当たり1回で済み、ライン走査周期をさらに長く設定してクロック周波数をf/8程度にすることができる。同様に、1/4、1/8サンプリングスキャンとすれば、それぞれクロック周波数をf/16、f/32程度にすることができる。

次に、第4実施例について説明する。図18は、第4実施例に係るエリアイメージセンサの構成図である。第4実施例に係るエリアイメージセンサは、カラー入力方式に適したものである。各撮像素子には、RGB3原色のうちのいずれか1色のフィルタがかけられている。具体的には、仮想線で示す2行2列の撮像素子ユニットが1ピクセルとされ、色フィルタは、一例として1ピクセルごとに左上がG、右上がR、左下がB、右下がGとなるように配列されている。このような構造では、個々の撮像素子は「サブピクセル」と称される。したがって、1ピクセルは、4サブピクセルに相当する。

第4実施例では、1列当たりの信号線Lの本数（4本）については第3実施例と同様である。一方、信号線と撮像素子との接続パターンが第3実施例とは異なる。

図19は、第4実施例における第1列目の撮像素子（サブピクセルSPX）

に対する接続パターンを説明するための図である。第4実施例の撮像素子グループ構成は、第3実施例の場合と同様である。同図から理解されるように、各小グループ (g_1, g_2, \dots) に関する信号線接続パターンは、2通りしかない。具体的には、小グループ g_1, g_4, g_6, g_7 の各々に関しては、接続 5 パターンは、 $[L_1 \rightarrow L_2 \rightarrow L_3 \rightarrow L_4]$ である。一方、小グループ g_2, g_3, g_5, g_8 の各々に関しては、接続パターンは、 $[L_3 \rightarrow L_4 \rightarrow L_1 \rightarrow L_2]$ である。このような構成により、各大グループ G_i 内において、第 $4n+1$ 、第 $4n+2$ ($n=0, 1$) 番目に位置する4つの撮像素子は、それぞれ異なる信号線 $L_1 \sim L_4$ に接続されている。具体的には、大グループ G_1 内において、撮像素子 P_1, P_2, P_5, P_6 は、それぞれ異なる信号線 $L_1 \sim L_4$ に接続されている。また、大グループ G_2 内において、撮像素子 $P_9, P_{10}, P_{13}, P_{14}$ は、それぞれ異なる信号線 $L_1 \sim L_4$ に接続されている。

さらに、グループ $G\#1$ および $G\#2$ の各々において、第 $8n+1$ と第 $8n+2$ ($n=0, 1$) 番目に位置する4つの撮像素子は、それぞれ異なる信号線 15 $L_1 \sim L_4$ に接続されている。具体的には、グループ $G\#1$ に関しては、 P_1, P_2, P_9, P_{10} が異なる信号線 $L_1 \sim L_4$ に接続されており、グループ $G\#2$ に関しては、 $P_{17}, P_{18}, P_{25}, P_{26}$ が異なる信号線 $L_1 \sim L_4$ に接続されている。また、符号 $G\%1$ で示すグループにおいては、第 $16n+1$ 、第 $16n+2$ ($n=0, 1$) 番目に位置する4つの撮像素子 (P_1, P_2, P_{17}, P_{18}) が、それぞれ異なる信号線 $L_1 \sim L_4$ に接続されている。

このような規則的パターンによれば、全ての撮像素子から信号を抽出するためのフルサンプリングスキャンを行う場合の動作は、第3実施例と同様である。一方、アドレス線 A を2本に1本の割合で選択走査するといった $1/2$ サンプリングスキャンを行う場合、個々の大グループ G_1, G_2, \dots 内で第1、第2、第5、第6番目に位置する撮像素子を同時にオンさせる。つまり、 $1/2$ サンプリングスキャンでも、4行分の信号電圧を信号線を通じて A/D コンバータ 25 30 に同時に入力させることができる。

また、 $1/4$ サンプリングスキャンを行う場合には、大グループ $G\#1, G\#2$ 内で、第1、第2、第9、第10番目に位置する撮像素子 (P_1, P_2, P_9, P_{10} や、 $P_{17}, P_{18}, P_{25}, P_{26}$) を同時にオンさせることができる。

1/8サンプリングスキャンを行う場合には、グループG%1内で第1, 第2, 第17, 第18番目に位置する撮像素子P1, P2, P17, P18を同時にオンさせる。つまり、1/2、1/4、1/8サンプリングスキャンでも、4行分の信号電圧を信号線L₁～L₄を通じてA/Dコンバータ30に一斉に入力させることができる。

アドレス線選択回路50は、フルサンプリングスキャンの場合、4本のアドレス線(A1～A4やA5～A8)を同時に選択走査して通電状態とする。一方、1/2サンプリングスキャンの場合、アドレス線選択回路50は、大グループG1, G2, 単位に区切りながらも大グループG1, G2, 内の第4n+1と第4n+2(n=0, 1)番目に対応する4本のアドレス線(A1, A2, A5, A6)を同時に選択走査して通電状態とする。また、1/4サンプリングスキャンの場合、アドレス線選択回路50は、グループG#1, G#2内の第8n+1と第8n+2(n=0, 1)番目に対応する4本のアドレス線(符号省略)を同時に選択走査して通電状態とする。さらに、1/8サンプリングスキャンの場合、アドレス線選択回路50は、グループG%1内において、第16n+1と第16n+2(n=0, 1)番目に対応する4本のアドレス線(符号省略)を同時に選択走査して通電状態とする。すなわち、フルサンプリングスキャンあるいは1/2、1/4、1/8サンプリングスキャンのいずれにしても、1回の選択走査ごとにアドレス線Aを4本同時にオンにできる。

次に、第4実施例の動作について説明する。なお、動作タイミングについては、第3実施例に対応する図16や図17の内容と同様である。

第4実施例の動作モードとして、フレームレートはフルサンプリングスキャンと同一条件とした1/2サブフルサンプリングスキャンについて考える。この場合、アドレス線選択回路50は、フレーム信号をアサートするごとに大グループG1内の第4n+1と第4n+2(n=0, 1)番目に対応したアドレス線A1, A2, A5, A6を同時に選択走査する。

4本のアドレス線A1, A2, A5, A6を同時に選択走査すると、これらのアドレス線A1, A2, A5, A6に接続された第1, 第2, 第5, 第6行目の撮像素子Pがオンになる。同時に、オンした撮像素子Pからは、信号電圧が信号線L₁～L₄を通じてA/Dコンバータ30に供給される。

A/Dコンバータ30は、デジタル画像信号をシフトレジスタ40に出力す

る。シフトレジスタ 40 は、1 回の選択走査を終えるまでに 4 行分のデジタル画像信号を出力する。その後、大グループ G2 単位に同様の動作が繰り返し行われる。したがって、このような $1/2$ サンプリングスキャンとしても、先の第 3 実施例と同様に、1 ライン走査周期で 1 フレームの処理が完結する。また、
5 1 フレーム分のデータ量がフルサンプリングスキャンの $1/4$ になる。そして、A/D コンバータ 30 の動作クロック（クロック周波数）については、 $f/8$ 程度にすることができる。

また、第 3 実施例と同様の動作原理から、 $1/4$ 、 $1/8$ サンプリングスキャンとすれば、それぞれクロック周波数を $f/16$ 、 $f/32$ 程度にすること
10 ができる。

また、 $1/2$ サンプリングスキャン時には、それぞれ異なる信号線 L1～L4 に接続された P1, P2, P5, P6 の 4 行、P9, P10, P13, P14 の 4 行ごとに画素データが得られるので、クロック周波数を $f/8$ 程度にすること
15 ができる。

さらに、 $1/4$ サンプリングスキャン時には、P1, P2, P9, P10 の 4 行や、P17, P18, P25, P26 の 4 行ごとに画素データが得られるので、クロック周波数を $f/16$ 程度にすること
20 ができる。

最もサンプリング率の小さい $1/8$ サンプリングスキャン時には、それぞれ異なる信号線 L1～L4 に接続された P1, P2, P17, P18 の 4 行や、
25 P33, P34, P49, P50 (P33 以降は図示省略) の 4 行ごとに画素データが得られるので、クロック周波数を $f/32$ 程度にすること
できる。

さらに、第 5 実施例について説明する。

図 20 は、第 5 実施例に係るエリアイメージセンサの構成図である。第 5 実施例に係るエリアイメージセンサも、第 4 実施例と同様にカラー入力方式に適したものである。RGB 3 原色の色フィルタは、図 18 と同様のパターンをなすように配列されており、仮想線で示す 2 行 2 列の撮像素子（サブピクセル）が 1 ピクセルをなす。

第 5 実施例では、2 列につき 8 本の信号線 L1～L8 が割り当てられている（1 列当たりの信号線の本数は 4 本である）。

30 図 21 は、第 5 実施例における第 1 列目の規則的パターンを説明するための説明図である。第 5 実施例でも、グループ構成の点では第 4 実施例などと同様

とされる。一方、第1列目に限って列全体について見ると、小グループ（g 1, g 2等）に関して、単位の信号線L 1～L 8に対する接続パターンが4種類あるものの、そのうちの2種類は、信号線L 1～L 4のみを対象としたものであり、他の2種類は、信号線L 5～L 8のみを対象としたものである。そのため、5 個々の大グループ（G 1, G 2等）内で第4n+1と第4n+2（n=0, 1）番目に位置する4つの撮像素子P 1, P 2, P 5, P 6やP 9, P 10, P 13, P 14については、信号線L 1～L 4あるいは信号線L 5～L 8のいずれの一群に対応しつつ、それぞれ異なる信号線（L 1～L 4, L 5～L 8）に接続されている。

10 また、大グループG # 1内で第8n+1と第8n+2（n=0, 1）番目に位置する4つの撮像素子P 1, P 2, P 9, P 10および大グループG # 2内で第8n+1と第8n+2（n=0, 1）番目に位置する4つの撮像素子P 17, P 18, P 25, P 26については、それぞれ異なる信号線L 1～L 8に接続されている。

15 さらに、大グループG % 1内で第16n+1と第16n+2（n=0, 1）番目の規則的な順に位置する4つの撮像素子（P 1, P 2, P 17, P 18）については、それぞれ異なる信号線L 1～L 4に接続されている。

また、図20に示すように、列全体の接続パターンは、奇数列の第1列目と第3列目とが同一パターンからなり、偶数列の第2列目と第4列目とが同一パ20 ターンからなる。そして、隣り合う第1列目と第2列目、第3列目と第4列目とでは、接続パターンが対称的に形成されている。

25 このような規則的パターンによっても、第4実施例と同様の動作を実現することができる。したがって、1/2、1/4、1/8サンプリングスキャンを行う場合、それぞれのサンプリングスキャンに対応して4行分の信号電圧を、8本の信号線L 1～L 8のうちの4本を通じてA/Dコンバータ30に一斉に入力させることができる。

フルサンプリングスキャン時には、小グループを構成するP 1～P 4の4行や、P 5～P 8の4行ごとに画素データが得られるので、クロック周波数をf/4程度にすることができる。

30 また、1/2サンプリングスキャン時には、異なる信号線L 1～L 8に接続されたP 1, P 2, P 5, P 6の4行やP 9, P 10, P 13, P 14の4行

ごとに画素データが得られるので、クロック周波数を $f/8$ 程度にすることができる。

さらに、 $1/4$ サンプリングスキャン時には、大グループ G # 1, G # 2, ごとに区切りながらも、それぞれ異なる信号線 L 1 ~ L 8 に接続された P 1, 5 P 2, P 9, P 10 の 4 行や、P 17, P 18, P 25, P 26 の 4 行ごとに画素データが得られるので、クロック周波数を $f/16$ 程度にできる。

最もサンプリング率の小さい $1/8$ サンプリングスキャン時には、それぞれ異なる信号線 L 1 ~ L 4 に接続された P 1, P 2, P 17, P 18 の 4 行や、10 P 33, P 34, P 49, P 50 (P 33 以降は図示省略) の 4 行ごとに画素データが得られるので、クロック周波数を $f/32$ 程度にできる。

なお、第 5 実施例の変形例としては、図 22 および図 23 に示すような構成としても良い。

このような変形例でも、2 列につき 8 本の信号線 L 1 ~ L 8 が割り当てられ、15 1 列当たりの信号線の本数は 4 本とされる。先の第 5 実施例と異なる点としては、相対する 2 つの撮像素子 P が常に隣り合う信号線に対して接続されている点にある。そのため、個々の大グループ G 1, G 2 等内で第 $4n+1$ と第 $4n+2$ ($n=0, 1$) 番目に位置する 4 つの撮像素子 (P 1, P 2, P 5, P 6 や、P 9, P 10, P 13, P 14) については、奇数列に当たる信号線 L 1, 20 L 3, L 5, L 7、あるいは偶数列に当たる信号線 L 2, L 4, L 6, L 8 のいずれかの一群に対応しつつ、それぞれ異なる信号線 (L 1, L 3, L 5, L 7 や、L 2, L 4, L 6, L 8) に接続されている。

また、符号 G # 1, G # 2, で示す大グループについて見ると、個々の大グループ内で第 $8n+1$ と第 $8n+2$ ($n=0, 1$) 番目に位置する 4 つの撮像素子 (P 1, P 2, P 9, P 10 や、P 17, P 18, P 25, P 26) については、それぞれ異なる信号線 L 1 ~ L 8 に接続されている。

さらに、大グループ G % 1 内で第 $16n+1$ と第 $16n+2$ ($n=0, 1$) 番目に位置する 4 つの撮像素子 (P 1, P 2, P 17, P 18) については、それぞれ異なる信号線 L 1, L 3, L 5, L 7 に接続されている。

30 このような接続パターンによっても、先の第 5 実施例と同様の動作を実現することができる。

カラー入力方式の場合、撮像素子ごとにかけられる色フィルタは、YMCとGに色分解する補色系のフィルタとしても良い。

本発明につき、以上のように説明したが、これを他の様々な態様に改変し得ることは明らかである。このような改変は、本発明の思想及び範囲から逸脱するものではなく、当業者に自明な全ての変更は、以下における請求の範囲に含まれるべきものである。

請求の範囲

1. 複数の素子行および複数の素子列を形成するようにマトリクス状に配列された複数の撮像素子と、
 - 5 前記複数の素子列のうちの一の素子列に対して割り当てられた複数の信号線と、

それが、対応する一の信号線に接続された複数のA／Dコンバータと、を具備する構成において、

前記一の素子列に属する撮像素子の各々は、前記複数の信号線のうちのいずれか1つのみに接続されており、かつ、前記複数の信号線の各々は、前記一の素子列に属する前記撮像素子のうちの少なくとも1つに接続されている、エリアイメージセンサ。
2. 各撮像素子は、光電変換素子と、この光電変換素子に接続されたスイッチング素子からなる、請求項1に記載のセンサ。
3. 前記一の素子列に属する前記撮像素子は、互いに隣り合う2つの撮像素子を含み、前記2つの撮像素子のうちの一方は、前記複数の信号線のうちの1つに接続されており、前記2つの撮像素子のうちの他方は、前記複数の信号線のうちの別の1つに接続されている、請求項1に記載のセンサ。
4. 複数のアドレス線と、これらアドレス線に接続されたアドレス線選択回路とを更に具備する構成において、前記複数のアドレス線の各々は、前記複数の素子行のうちの対応する一の素子行に属する撮像素子に接続されており、前記アドレス線選択回路は、前記複数のアドレス線のうちの複数本を同時に選択するように構成されている、請求項1に記載のセンサ。
5. 前記複数のA／Dコンバータに接続されたシフトレジスタを更に具備する、請求項1に記載のセンサ。

6. 複数の撮像素子が複数行複数列に配列されたエリアイメージセンサであつて、

撮像素子の一の列あるいは二の列に割り当てられた複数の信号線と、
前記各信号線にそれぞれ接続されたアナログ／デジタルコンバータと、を具
5 備し、

前記撮像素子の各列においては、前記信号線の割り当て本数と同数にわたり連続して並ぶ撮像素子ごとに小グループが形成されているとともに、小グループ内では、各撮像素子がそれぞれ異なる信号線に接続され、

前記撮像素子の各列においては、2以上にわたり連続して並ぶ小グループご
10 とに大グループが形成されているとともに、この大グループ内では、小グループ単位の信号線に対する接続パターンが少なくとも2通り存在することを特徴とする、エリアイメージセンサ。

7. 前記撮像素子の各列においては、2を累乗した数の小グループごとに大
15 グループが形成されている、請求項6に記載のエリアイメージセンサ。

8. 前記撮像素子の各列には、小グループの数が異なる2種類以上の大グループが形成されている、請求項6に記載のエリアイメージセンサ。

20 9. 更に、前記撮像素子の各行に1本ずつ割り当てられ、1本につき当該行内の撮像素子全てが接続されたアドレス線と、これらアドレス線のうちの複数を同時に選択するように構成されたアドレス線選択回路と、前記アナログ／デジタルコンバータの各々から出力されてきたデジタル信号を取り込むとともに、これらのデジタル信号を複数の転送ラインにのせて出力するシフトレジスタと、
25 前記転送ラインを切り替えてデジタル信号を出力させるデュプレクサ回路あるいはマルチプレクサ回路と、を具備する請求項6に記載のエリアイメージセンサ。

10. 前記アナログ／デジタルコンバータは、入力される信号電圧と所定の基準
30 電圧とを比較し、両電圧が一致したときのカウント値をデジタル信号として前記シフトレジスタに出力する、請求項6に記載のエリアイメージセンサ。

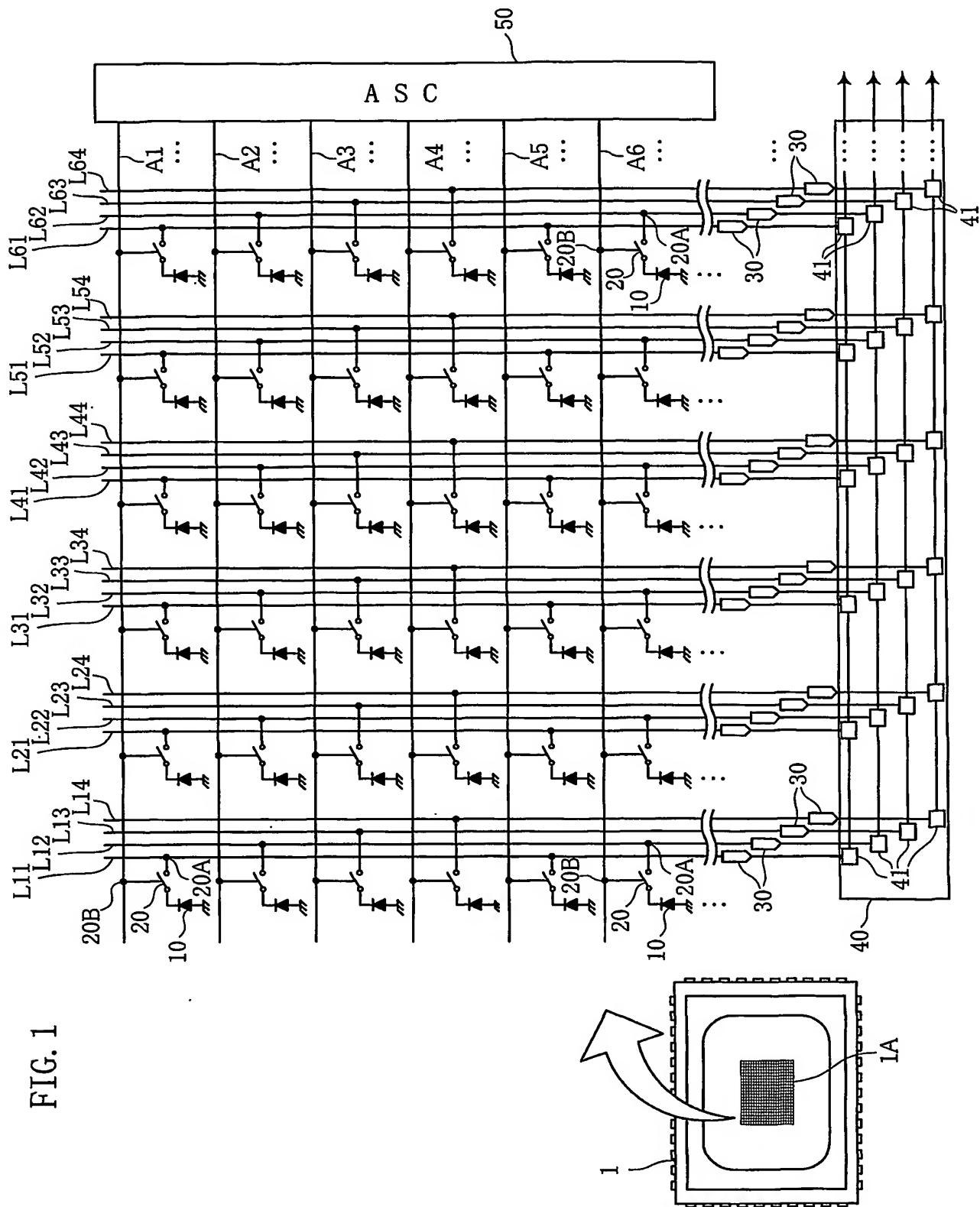


FIG. 2

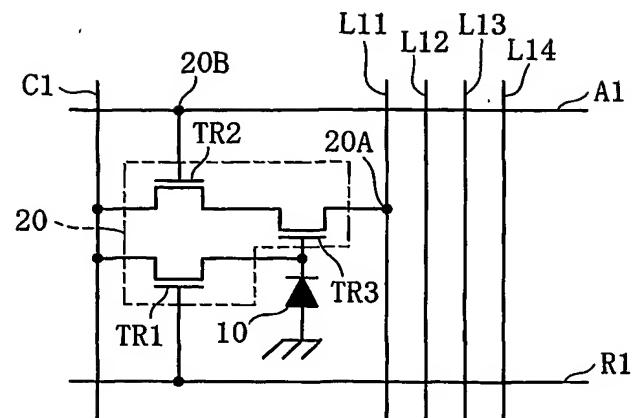


FIG. 3

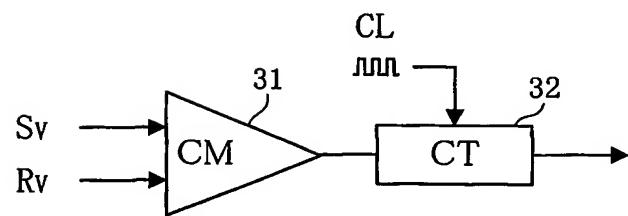


FIG. 4A

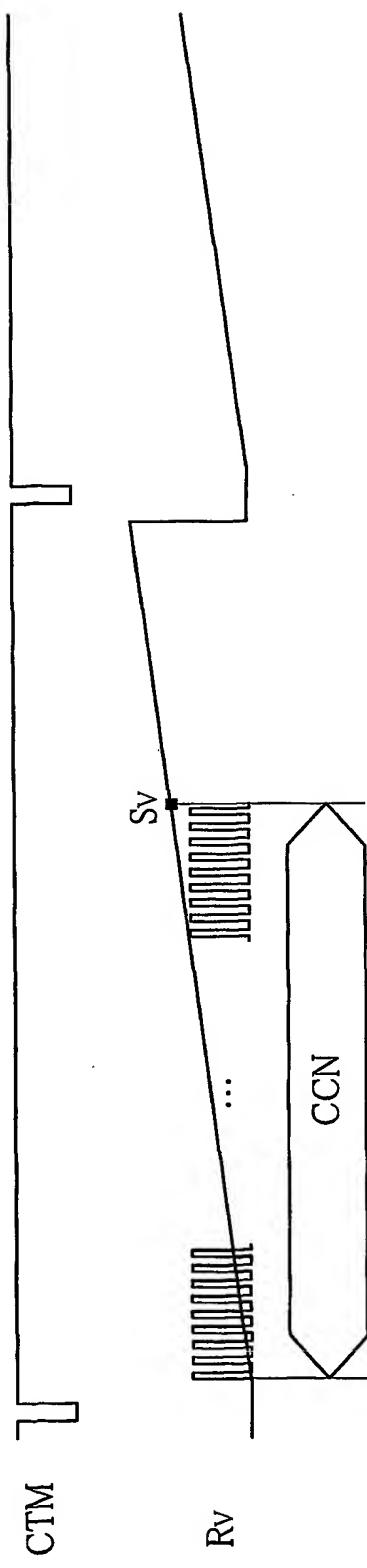


FIG. 4B

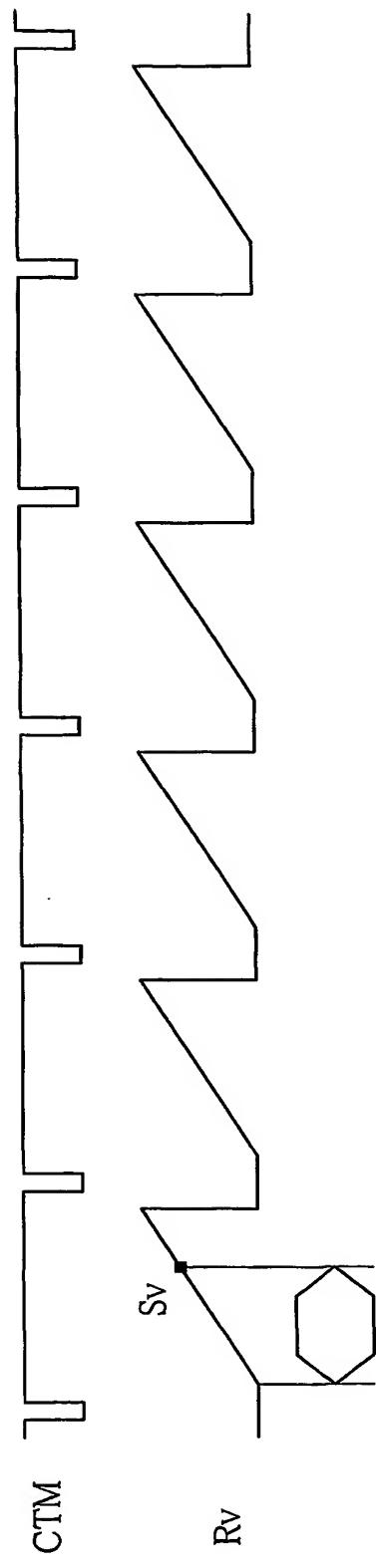


FIG. 5

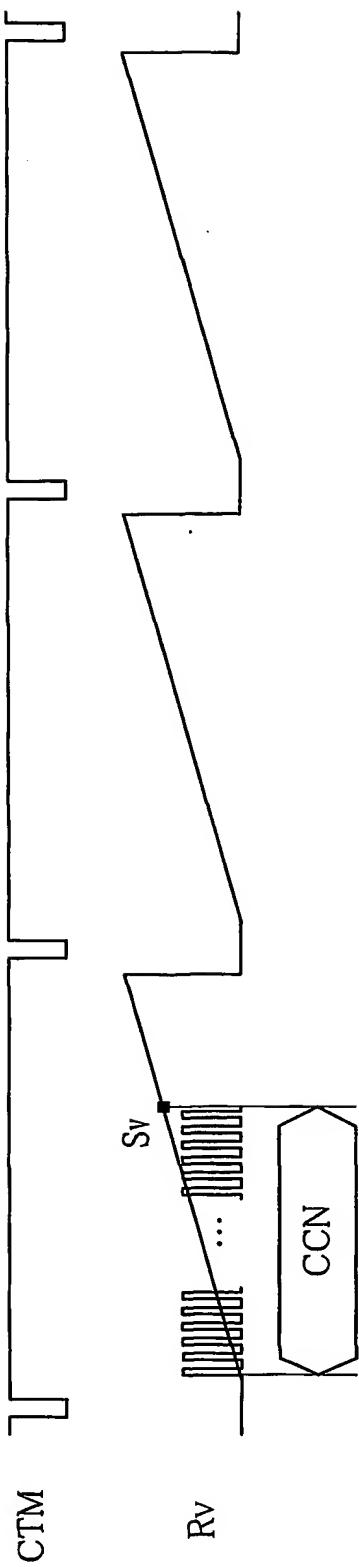


FIG. 6

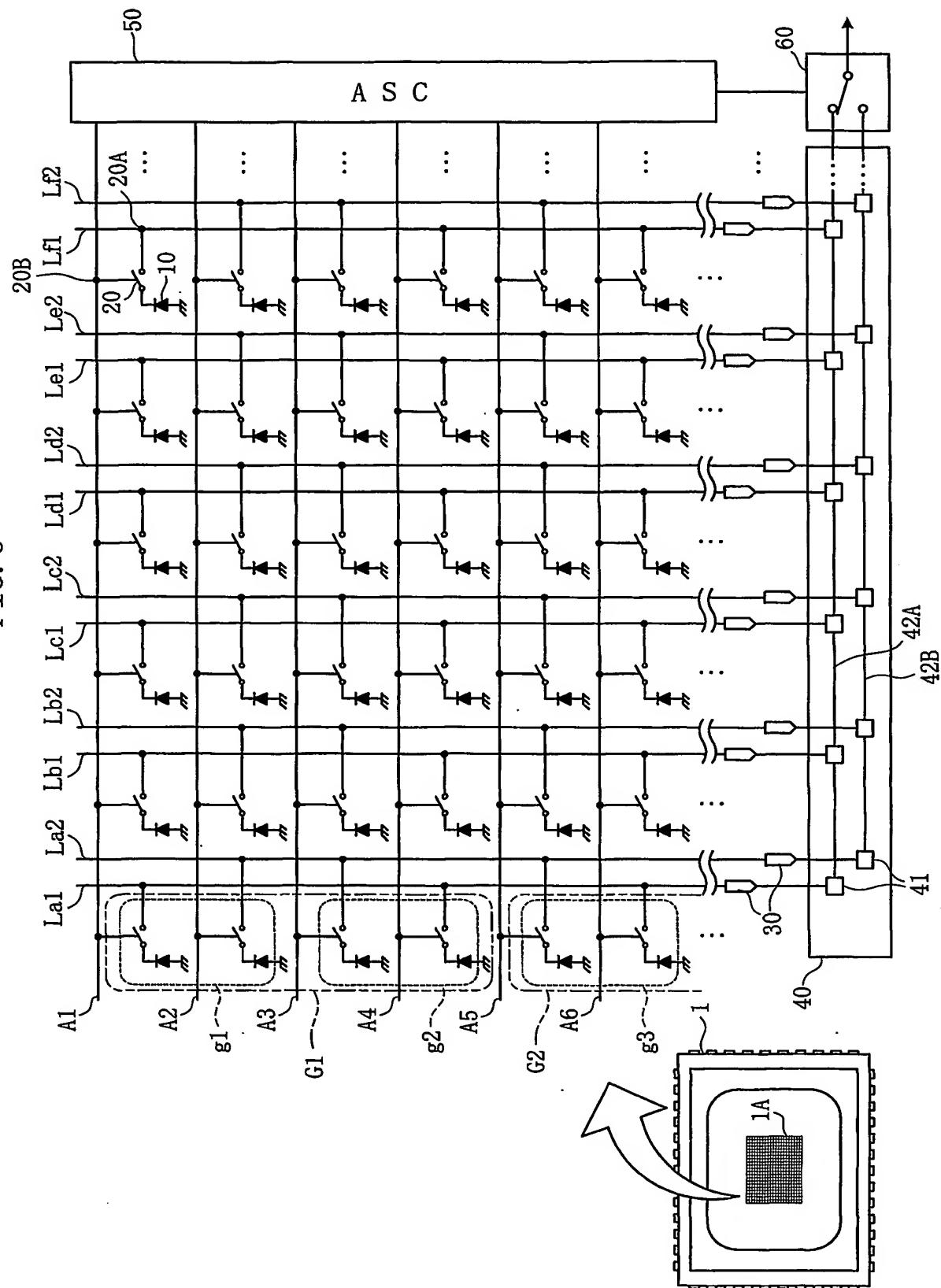


FIG. 7

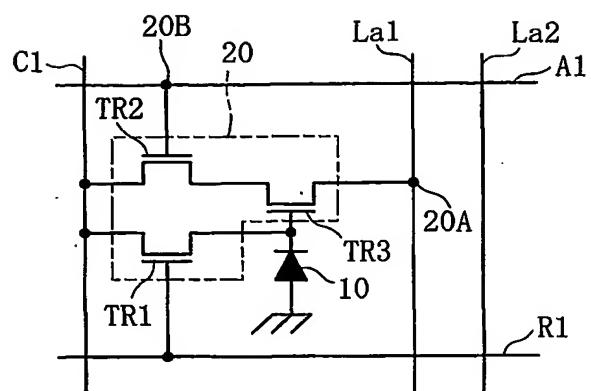


FIG. 9

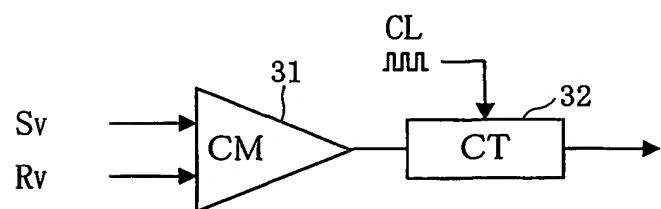


FIG. 10

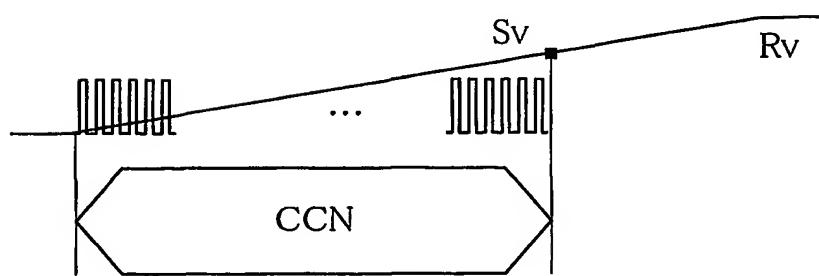


FIG. 8

		OM		FS		SS1/2		SS1/4		SS1/8		SS1/16	
		CF		1/2f		1/4f		1/8f		1/16f		1/32f	
		Px	SL	L1	L2	L1	L2	L1	L2	L1	L2	L1	L2
G&1	G#1	g1	P1	L1	1	1	1	1	1	1	1	1	1
		g2	P2	L2	1	0	0	0	0	0	0	0	0
		g3	P3	L2	1	0	0	0	0	0	0	0	0
		g4	P4	L1	1	0	0	0	0	0	0	0	0
	G#2	g5	P5	L2	1	1	1	1	0	0	0	0	0
		g6	P6	L1	1	0	0	0	0	0	0	0	0
		g7	P7	L1	1	1	0	0	0	0	0	0	0
		g8	P8	L2	1	0	0	0	0	0	0	0	0
	G#3	g9	P9	L2	1	1	1	1	1	1	1	0	0
		g10	P10	L1	1	0	0	0	0	0	0	0	0
		g11	P11	L1	1	1	0	0	0	0	0	0	0
		g12	P12	L2	1	0	0	0	0	0	0	0	0
	G#4	g13	P13	L1	1	1	1	1	0	0	0	0	0
		g14	P14	L2	1	0	0	0	0	0	0	0	0
		g15	P15	L2	1	1	0	0	0	0	0	0	0
		g16	P16	L1	1	0	0	0	0	0	0	0	0
			P17	L2	1	1	1	1	1	1	1	1	1
			P18	L1	1	0	0	0	0	0	0	0	0
			P19	L1	1	1	0	0	0	0	0	0	0
			P20	L2	1	0	0	0	0	0	0	0	0
			P21	L1	1	1	1	1	0	0	0	0	0
			P22	L2	1	0	0	0	0	0	0	0	0
			P23	L2	1	1	0	0	0	0	0	0	0
			P24	L1	1	0	0	0	0	0	0	0	0
			P25	L1	1	1	1	1	1	1	0	0	0
			P26	L2	1	0	0	0	0	0	0	0	0
			P27	L2	1	1	0	0	0	0	0	0	0
			P28	L1	1	0	0	0	0	0	0	0	0
			P29	L2	1	1	1	1	1	0	0	0	0
			P30	L1	1	0	0	0	0	0	0	0	0
			P31	L1	1	1	0	0	0	0	0	0	0
			P32	L2	1	0	0	0	0	0	0	0	0

FIG. 11

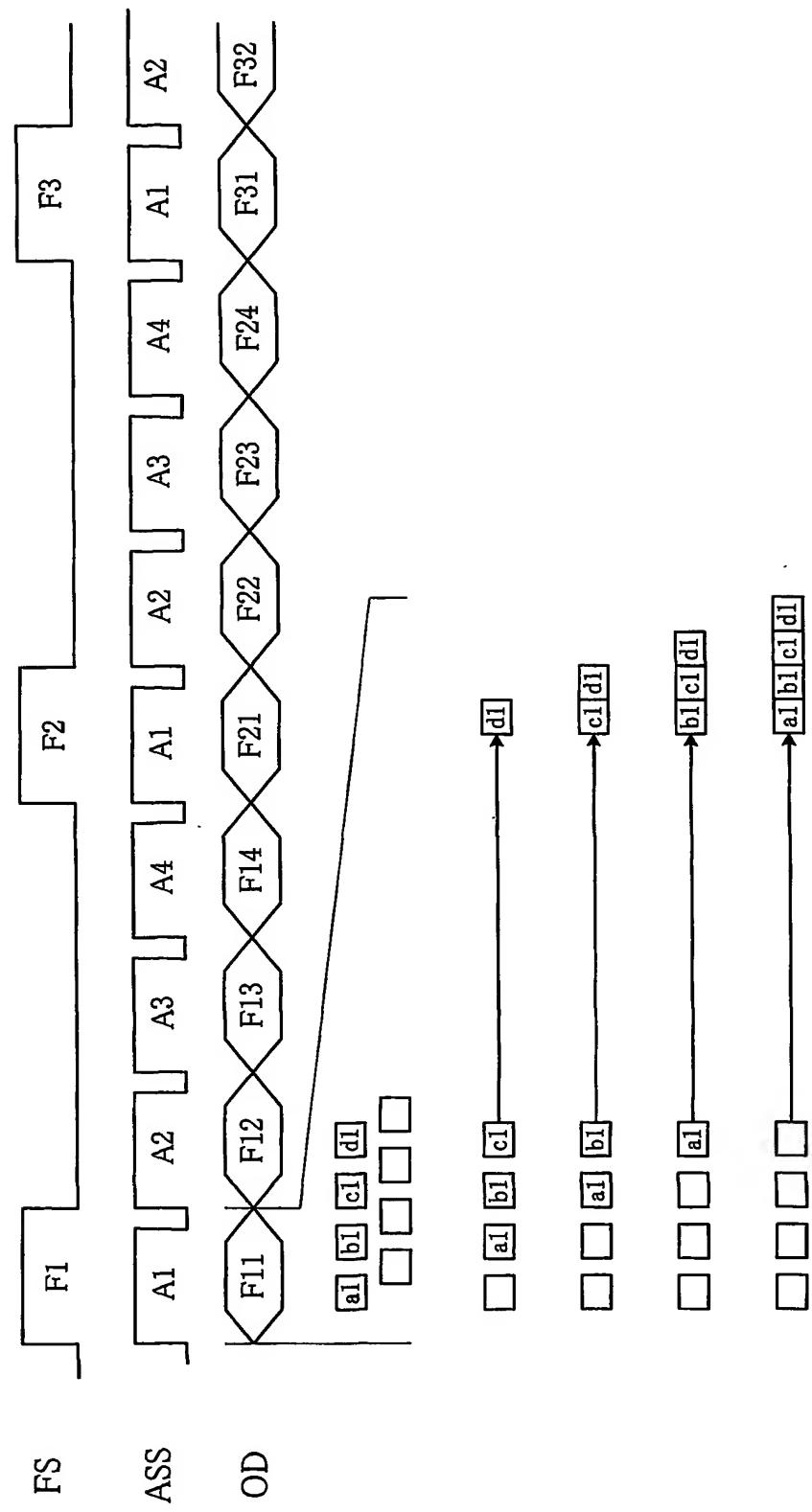


FIG. 12

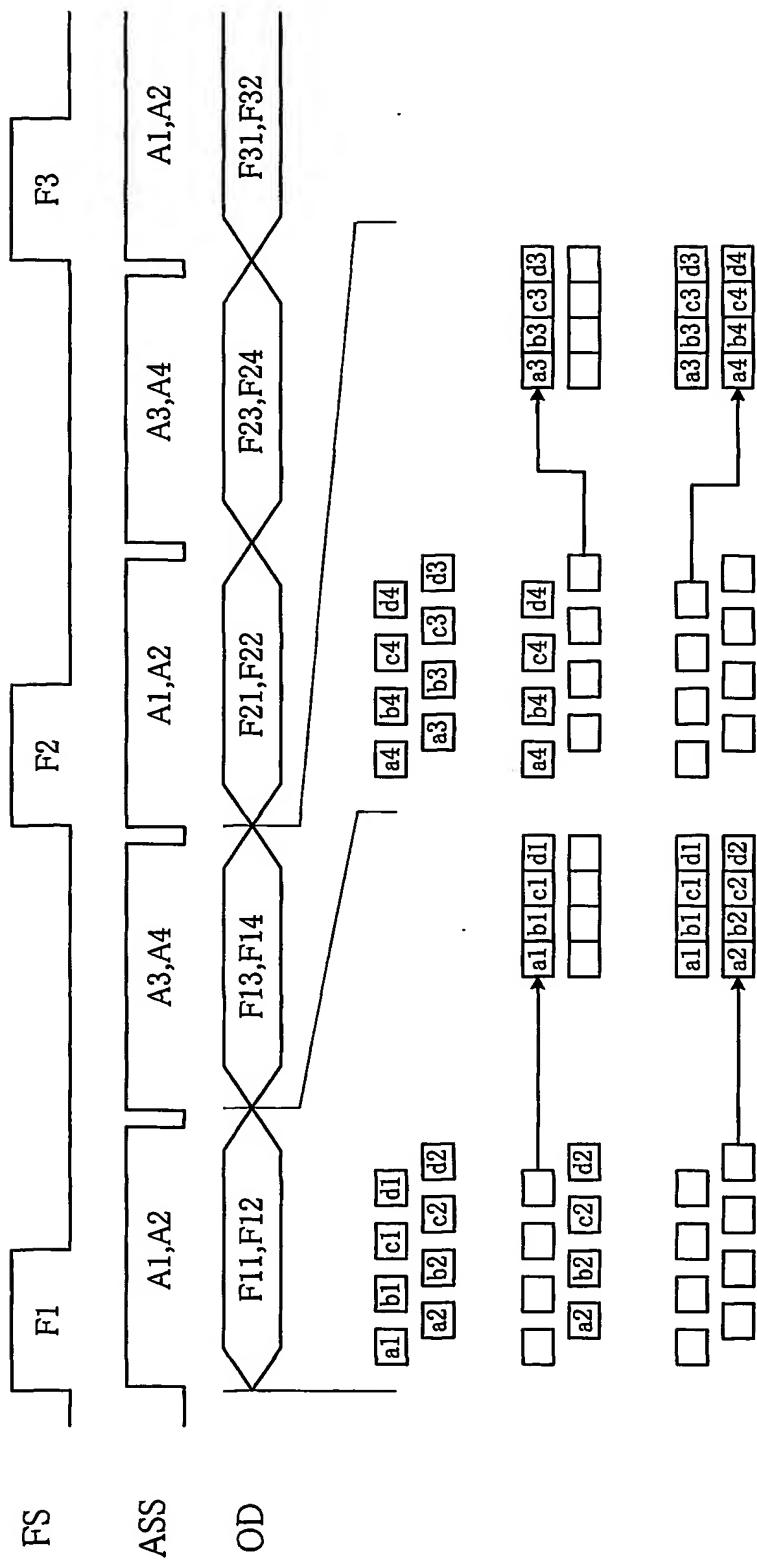


FIG. 13

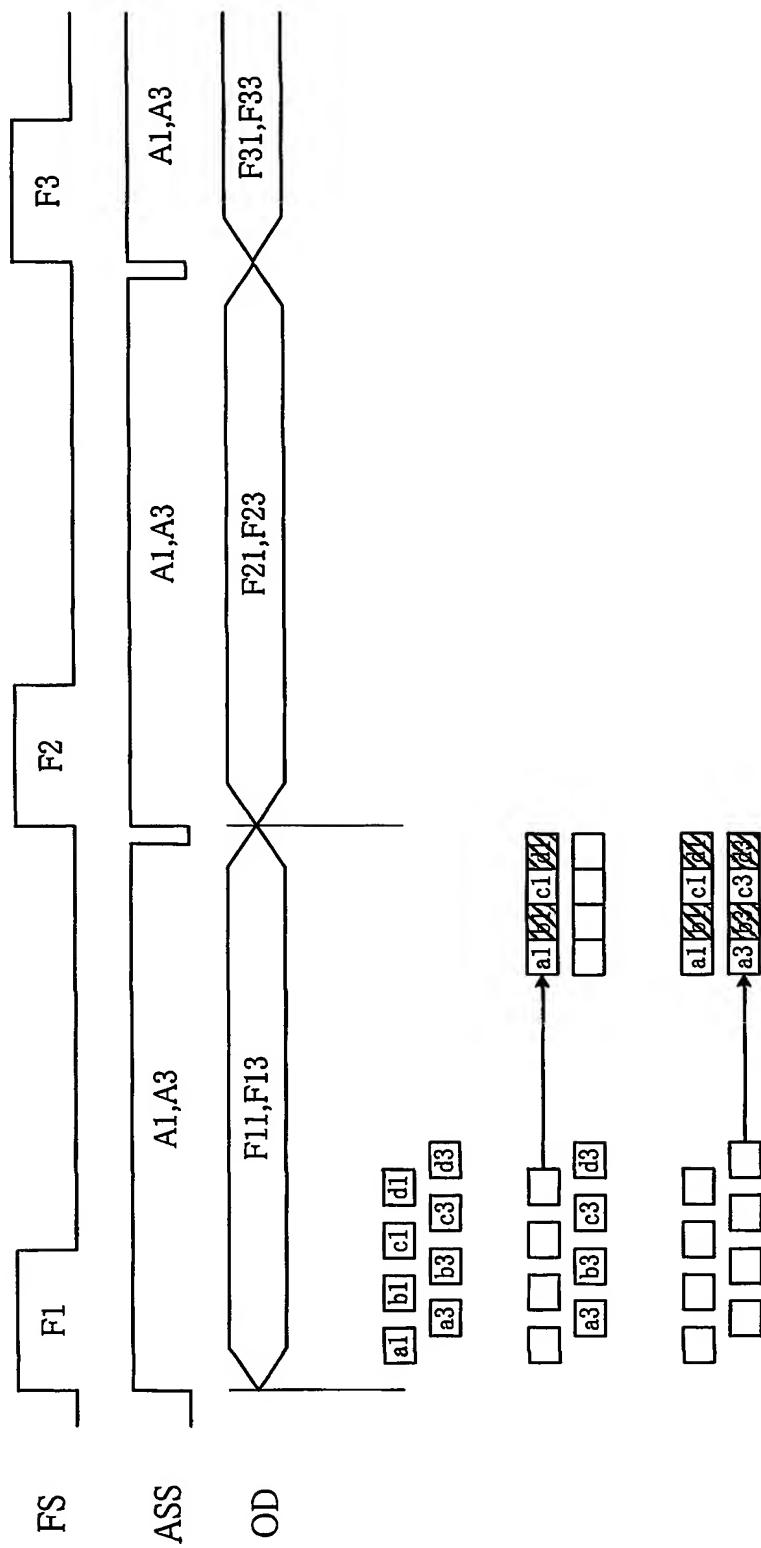


FIG. 14

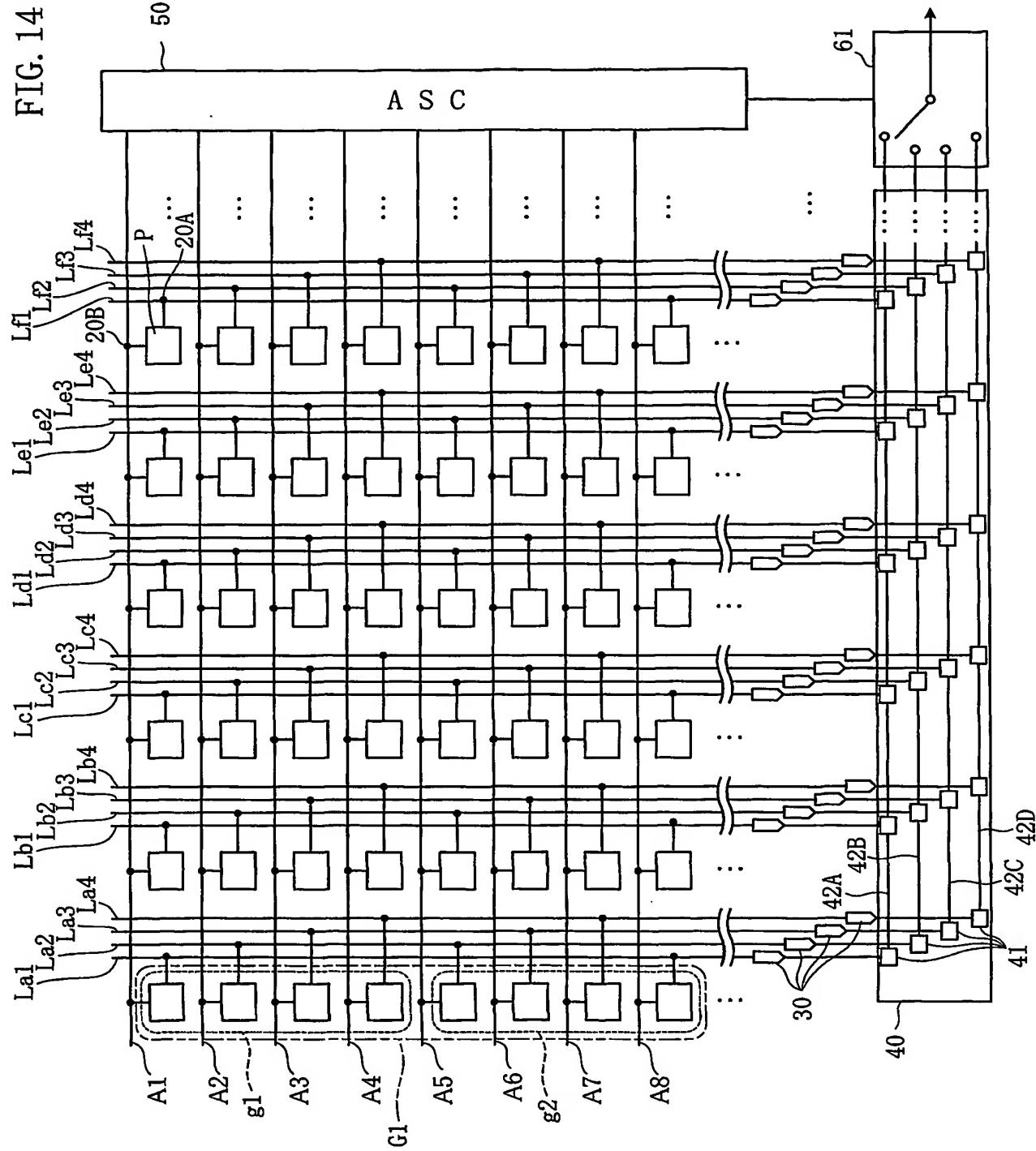


FIG. 15

		OM	FS				SS1/2				SS1/4				SS1/8				
		CF	1/4f				1/8f				1/16f				1/32f				
		Px	SL	L1	L2	L3	L4	L1	L2	L3	L4	L1	L2	L3	L4	L1	L2	L3	L4
G#1	G1	P1	L1																
		P2	L2									0				0			
		P3	L3													0			
		P4	L4									0				0			
	G2	P5	L2															0	
		P6	L3									0				0			
		P7	L4													0			
		P8	L1									0				0			
G%1	G3	P9	L3																
		P10	L4									0				0			
		P11	L1													0			
		P12	L2									0				0			
	G4	P13	L4															0	
		P14	L1									0				0			
		P15	L2													0			
		P16	L3									0				0			
G#2	G5	P17	L2																
		P18	L3									0				0			
		P19	L4													0			
		P20	L1									0				0			
	G6	P21	L3															0	
		P22	L4									0				0			
		P23	L1													0			
		P24	L2									0				0			
G#3	G7	P25	L4																
		P26	L1									0				0			
		P27	L2													0			
		P28	L3									0				0			
	G8	P29	L1															0	
		P30	L2									0				0			
		P31	L3													0			
		P32	L4									0				0			

FIG. 16A

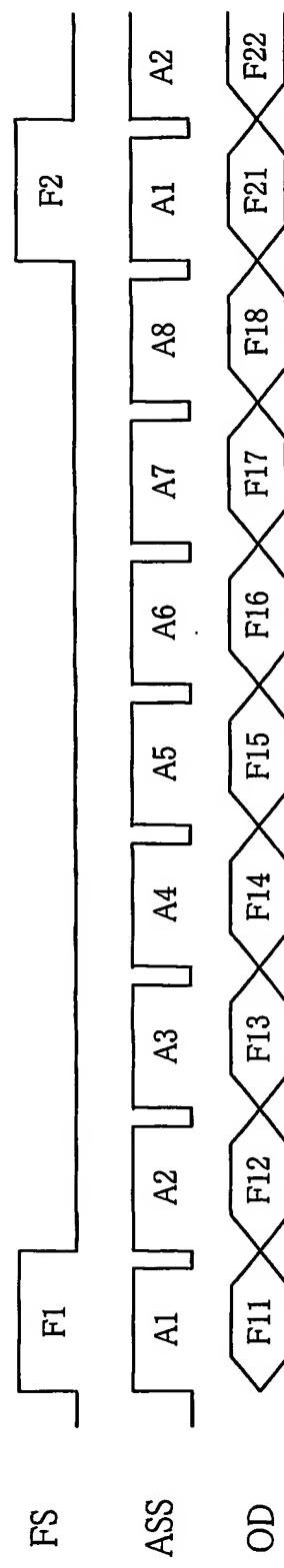


FIG. 16B

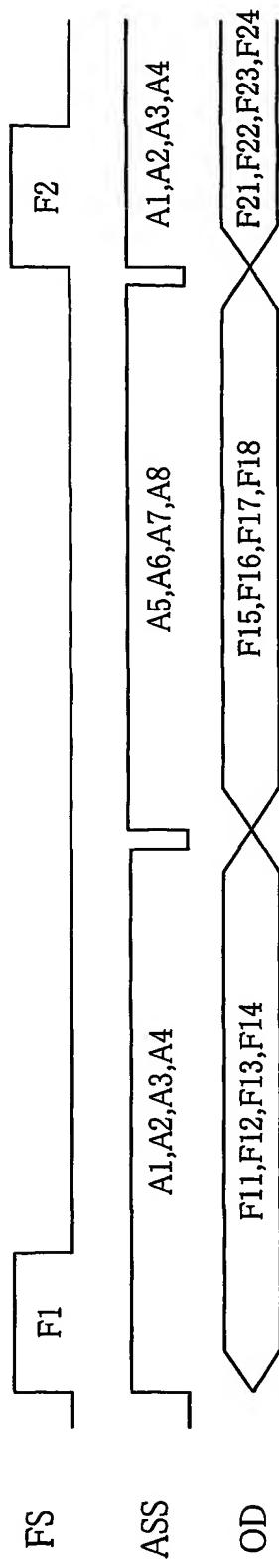


FIG. 17

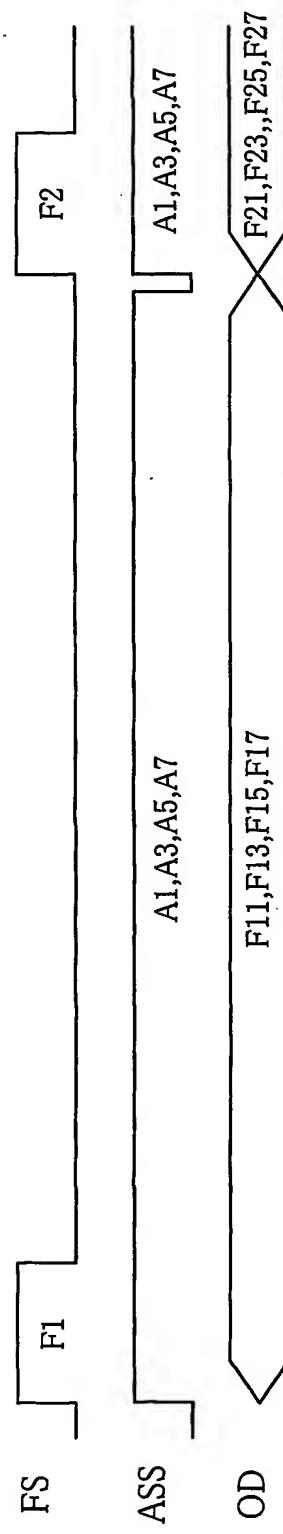


FIG. 18

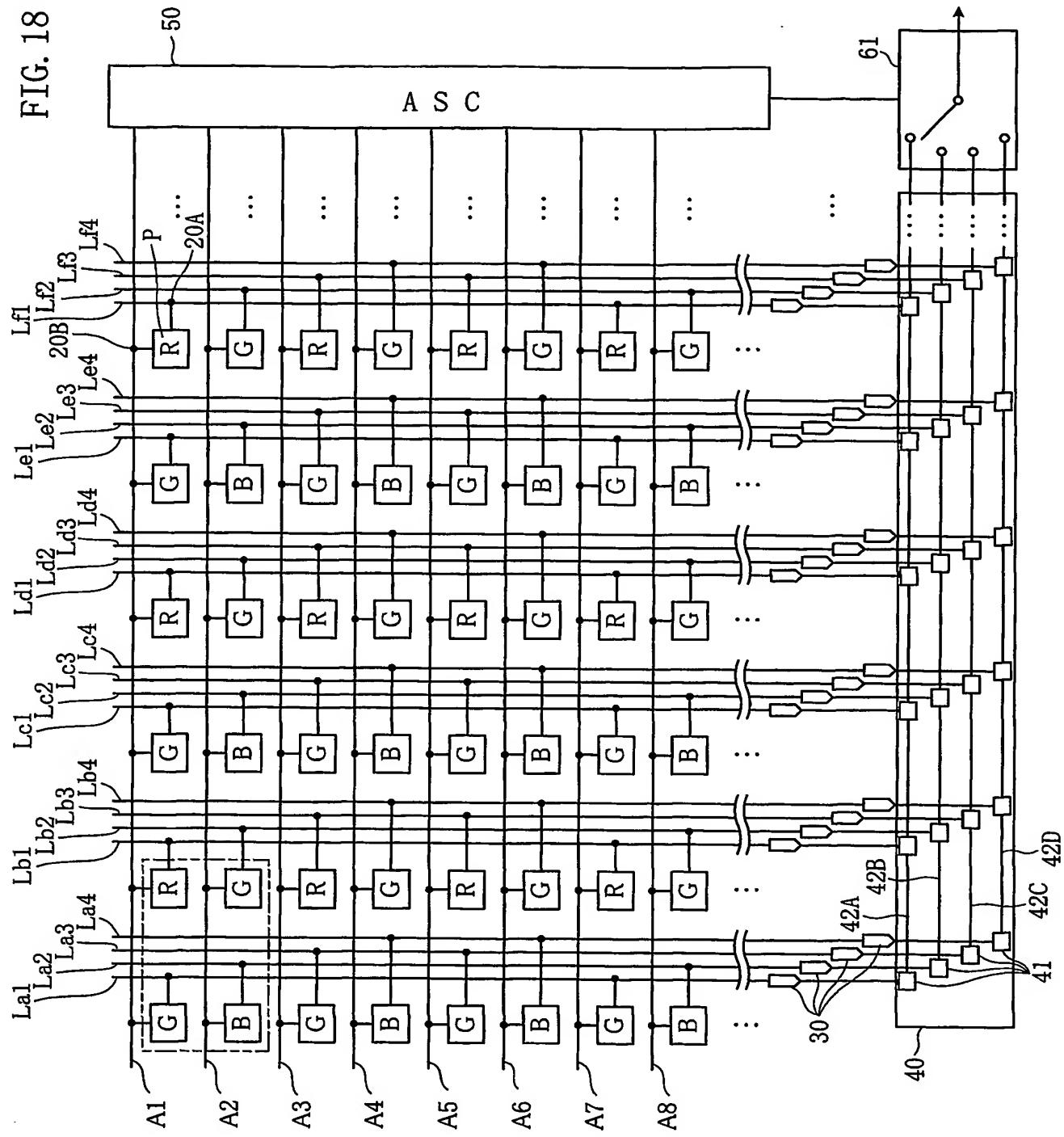


FIG. 19

		OM	FS				SS1/2				SS1/4				SS1/8				
		CF	1/4f				1/8f				1/16f				1/32f				
		SPx	SL	L1	L2	L3	L4	L1	L2	L3	L4	L1	L2	L3	L4	L1	L2	L3	L4
G#1	G1	P1	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
		P2	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
		P3	L3	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P4	L4	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	G2	P5	L3	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P6	L4	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P7	L1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P8	L2	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
G#1	G3	P9	L3	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P10	L4	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P11	L1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P12	L2	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	G#2	P13	L1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P14	L2	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P15	L3	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P16	L4	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
G#2	G4	P17	L3	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P18	L4	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P19	L1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P20	L2	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	G#2	P21	L1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P22	L2	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P23	L3	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P24	L4	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
G#2	G7	P25	L1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P26	L2	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P27	L3	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P28	L4	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	G#2	P29	L3	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P30	L4	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P31	L1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
		P32	L2	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0

FIG. 20

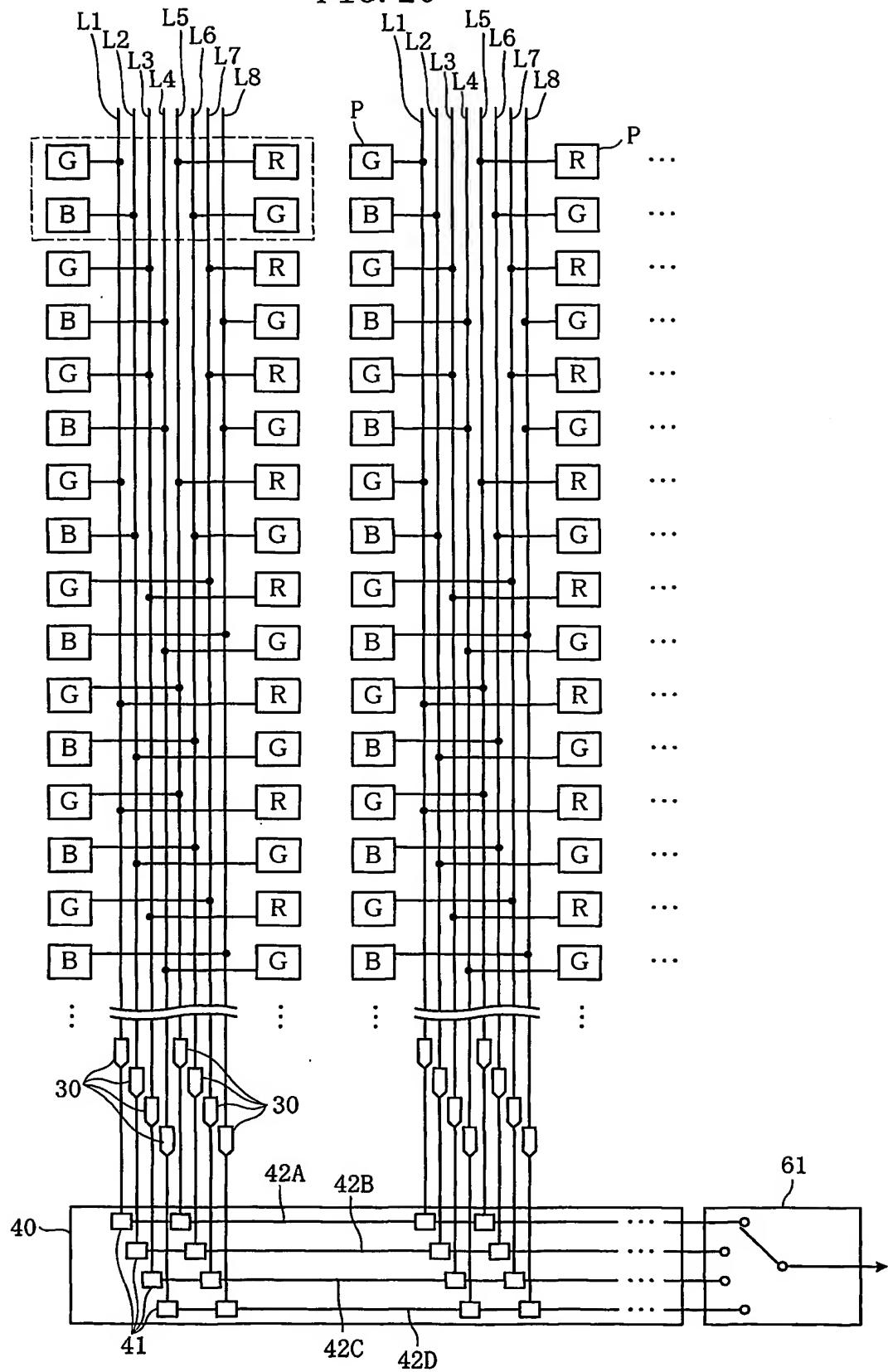


FIG. 21

	OM	FS	SS1/2	SS1/4	SS1/8
CF		1/4f	1/8f	1/16f	1/32f
SPx	SL	L1L2L3L4L5L6L7L8L1L2L3L4L5L6L7L8L1L2L3L4L5L6L7L8L1L2L3L4L5L6L7L8			
P1	L1				
P2	L2				
P3	L3	0	0	0	0
P4	L4	0	0	0	0
P5	L3	0	0	0	0
P6	L4	0	0	0	0
P7	L1	0	0	0	0
P8	L2	0	0	0	0
P9	L7				
P10	L8				
P11	L5	0	0	0	0
P12	L6	0	0	0	0
P13	L5		0	0	0
P14	L6		0	0	0
P15	L7	0	0	0	0
P16	L8	0	0	0	0
P17	L3				
P18	L4				
P19	L1	0	0	0	0
P20	L2	0	0	0	0
P21	L1		0	0	0
P22	L2		0	0	0
P23	L3	0	0	0	0
P24	L4	0	0	0	0
P25	L5				0
P26	L6				0
P27	L7	0	0	0	0
P28	L8				0
P29	L7			0	0
P30	L8			0	0
P31	L5		0	0	0
P32	L6	0	0	0	0

FIG. 22

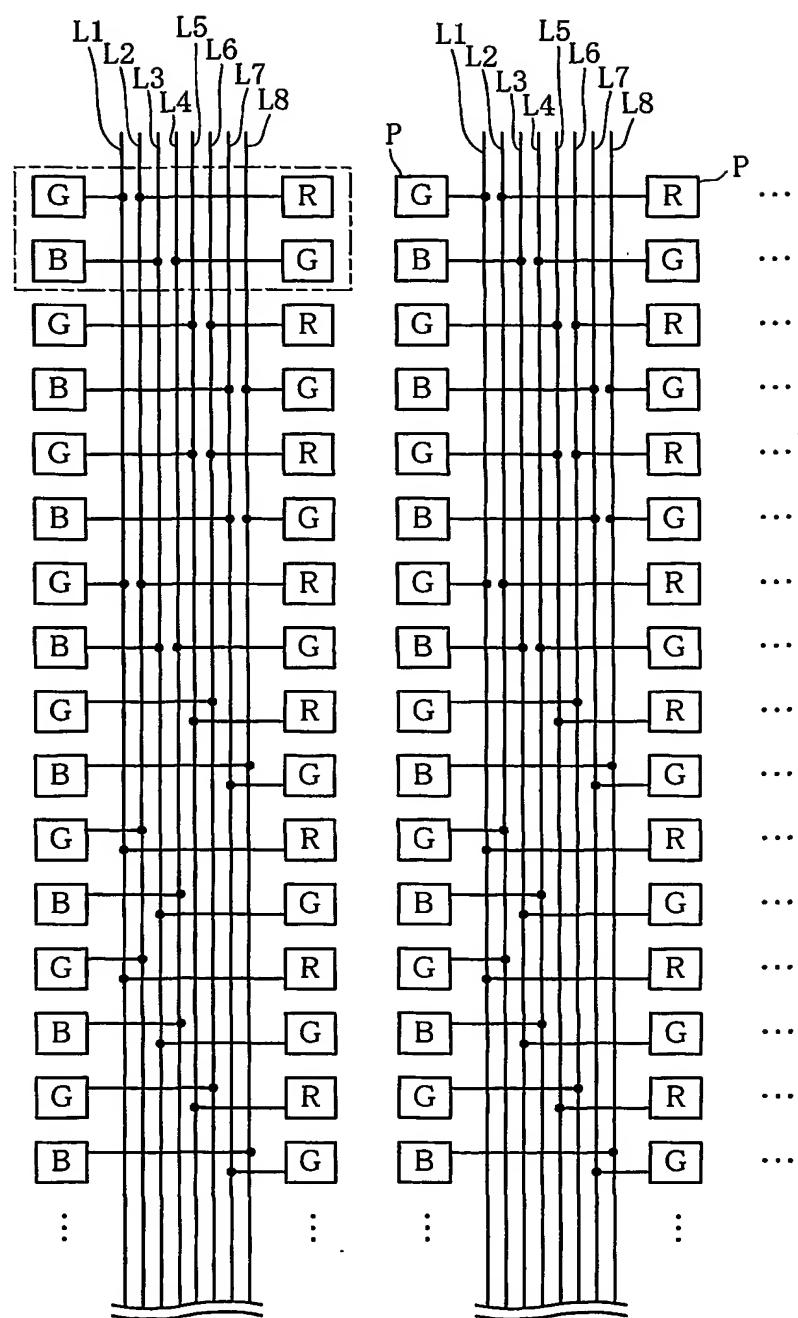


FIG. 23

	0M	FS	SS1/2	SS1/4	SS1/8
CP		1/4f	1/8f	1/16f	1/32f
SPx	SL	L1L2L3L4L5L6L7L8L1L2L3L4L5L6L7L8L1L2L3L4L5L6L7L8			
P1	L1				
P2	L3				
P3	L5	0	0	0	0
P4	L7	0	0	0	0
P5	L5		0	0	0
P6	L7		0	0	0
P7	L1	0	0	0	0
P8	L3	0	0	0	0
P9	L6				0
P10	L8	0	0	0	0
P11	L2				0
P12	L4	0	0	0	0
P13	L2				0
P14	L4				0
P15	L6				0
P16	L8		0	0	0
P17	L5				0
P18	L7				0
P19	L1	0	0	0	0
P20	L3	0	0	0	0
P21	L1		0	0	0
P22	L3		0	0	0
P23	L5		0	0	0
P24	L7		0	0	0
P25	L2			0	0
P26	L4			0	0
P27	L6		0	0	0
P28	L8		0	0	0
P29	L6			0	0
P30	L8			0	0
P31	L2		0	0	0
P32	L4		0	0	0

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13096

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁷ H04N5/335

Int.-G1⁷ H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.C1' H04N5/335, H04N9/07, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y1 A	JP 3-187584 A (Olympus Optical Co., Ltd.), 15 August, 1991 (15.08.91), Page 3, upper right column, line 17 to page 4, upper right column, line 3; Fig. 1 & US 5153731 A	1-5 6-10
Y2	JP 9-238286 A (Toshiba Corp.), 09 September, 1997 (09.09.97), Par. Nos. [0013] to [0019]; Fig. 1 & EP 793380 A & US 5990948 A	1-5

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which cited to establish the publication date of another citation or other

"O" special reason (as specified)
document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step.

“Y” step when the document is taken alone
document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such
combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search
13 January, 2004 (13.01.04)

Date of mailing of the international search report
27 January, 2004 (27.01.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl' H04N5/335

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl' H04N5/335, H04N9/07, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y1 A	JP 3-187584 A (オリンパス株式会社) 1991.08.15, 第3頁上右欄第17行~第4頁上右欄第3行, 第1図 & US 5153731 A	1-5 6-10

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

13.01.2004

国際調査報告の発送日

27.1.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

徳田 賢二

5P 3137

電話番号 03-3581-1101 内線 3502

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y2	JP 9-238286 A (株式会社東芝) 1997.09.09, 段落番号【0013】-【0019】，第 1図 & EP 793380 A & US 5990948 A	1-5